

IN THE UNITED STATES PATENT AND TRADEMARK OFFICE

In re PATENT APPLICATION of :
Yoshihiro SHONA :
Serial No.: [NEW] : Mail Stop Patent Application
Filed: September 22, 2003 : Attorney Docket No. OKI.573
For: DATA REWRITING METHOD FOR FLASH MEMORY

CLAIM OF PRIORITY

U.S. Patent and Trademark Office
2011 South Clark Place
Customer Window, Mail Stop Patent Application
Crystal Plaza Two, Lobby, Room 1B03
Arlington, VA 22202

Sir:

Applicant, in the above-identified application, hereby claims the priority date
under the International Convention of the following Japanese application:


Appln. No. 2002-364840 filed December 17, 2002

as acknowledged in the Declaration of the subject application.

A certified copy of said application is being submitted herewith.

Respectfully submitted,

VOLENTINE FRANCOS, PLLC


Adam C. Volentine
Registration No. 33,289

12200 Sunrise Valley Drive, Suite 150
Reston, Virginia 20191
Tel. (703) 715-0870
Fax. (703) 715-0877

Date: September 22, 2003

日 本 国 特 許 庁
JAPAN PATENT OFFICE

別紙添付の書類に記載されている事項は下記の出願書類に記載されている事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed with this Office

出 願 年 月 日

Date of Application:

2002年12月17日

出 願 番 号

Application Number:

特願2002-364840

[ST.10/C]:

[JP2002-364840]

出 願 人

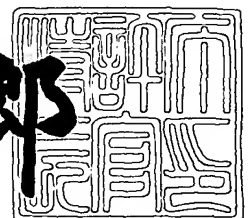
Applicant(s):

沖電気工業株式会社

2003年 4月 8日

特 許 庁 長 官
Commissioner,
Japan Patent Office

太田信一郎



出証番号 出証特2003-3025076

【書類名】 特許願

【整理番号】 MA001418

【提出日】 平成14年12月17日

【あて先】 特許庁長官殿

【国際特許分類】 G11C 16/00
G16F 12/00

【発明者】

【住所又は居所】 東京都港区虎ノ門1丁目7番12号 沖電気工業株式会
社内

【氏名】 正名 芳弘

【特許出願人】

【識別番号】 000000295

【氏名又は名称】 沖電気工業株式会社

【代表者】 篠塚 勝正

【代理人】

【識別番号】 100083840

【弁理士】

【氏名又は名称】 前田 実

【選任した代理人】

【識別番号】 100116964

【弁理士】

【氏名又は名称】 山形 洋一

【手数料の表示】

【予納台帳番号】 007205

【納付金額】 21,000円

【提出物件の目録】

【物件名】 明細書 1

【物件名】 図面 1

【物件名】 要約書 1

【包括委任状番号】 9003703

【包括委任状番号】 0101807

【プルーフの要否】 要

【書類名】 明細書

【発明の名称】 データ書き換え装置およびデータ書き換え方法

【特許請求の範囲】

【請求項 1】 使用するデータ容量よりも N (N は 2 以上の整数) 個以上多いセクタ数のフラッシュメモリのデータ書き換えをするデータ書き換え装置であって、

セクタを完全に消去するのにかかる時間よりも短い時間で 1 個のセクタを合計 N 回で時分割に消去し、消去中の N 個のセクタの書き換えデータを他のセクタに書き込むことを特徴とするデータ書き換え装置。

【請求項 2】 請求項 1 記載のデータ書き換え装置において、

上記時分割の消去処理は、上記データ書き換えの処理ごとになされることを特徴とするデータ書き換え装置。

【請求項 3】 上記データ容量以上のセクタ (以下、データセクタとする) 数のフラッシュデータメモリと、 $2N$ 個以上のセクタ (以下、バッファセクタとする) 数のフラッシュバッファとによって構成された上記フラッシュメモリのデータ書き換えをする請求項 1 記載のデータ書き換え装置であって、

第 n (n は 1 以上の整数) 回目のデータ書き換え処理において、第 n 回目の書き換えデータをバッファセクタに書き込み、

第 n 回目から第 $(n + N - 1)$ 回目までのデータ書き換え処理において、上記第 n 回目の書き換えデータを書き込むべきデータセクタを時分割で消去し、

第 $(n + N)$ 回目のデータ書き換え処理において、上記バッファセクタに書き込まれている上記第 n 回目の書き換えデータを、上記時分割で消去したデータセクタに書き込む

ことを特徴とするデータ書き換え装置。

【請求項 4】 請求項 1 記載のデータ書き換え装置において、

第 n (n は 1 以上の整数) 回目のデータ書き換え処理において、第 n 回目の書き換えデータを、被書き換えデータが書き込まれているセクタとは異なる他のセクタに書き込み、

第 n 回目から第 $(n + N - 1)$ 回目までのデータ書き換え処理において、上記

被書き換えデータが書き込まれていたセクタを時分割で消去すること
ことを特徴とするデータ書き換え装置。

【請求項 5】 使用するデータ容量以上のセクタ（以下、データセクタとする）数のフラッシュデータメモリと、 $2N$ （ N は 2 以上の整数）個以上のセクタ（以下、バッファセクタとする）数のフラッシュバッファとによって構成されたフラッシュメモリのデータをデータ書き換え装置によって書き換えるデータ書き換え方法であって、

データセクタのアドレスがそれぞれ書き込まれる複数のセクタ管理領域を有するセクタ管理手段を、上記フラッシュメモリまたは上記データ書き換え装置に設け、

第 n （ n は 1 から N までのいずれかの整数）のバッファセクタに書き込まれているデータを、第 n のセクタ管理領域に書き込まれているアドレスのデータセクタに書き込む第 1 のステップと、

書き換えデータを第 $(n + N)$ のバッファセクタに書き込む第 2 のステップと

第 n のセクタ管理領域に、上記書き換えデータを書き込むべきデータセクタのアドレスを書き込む第 3 のステップと、

第 1 から第 N までのセクタ管理領域に書き込まれているアドレスの N 個のデータセクタと、第 1 から第 n までおよび第 $(n + 1 + N)$ から第 $2N$ までの N 個のバッファセクタとを、セクタを完全に消去するのにかかる時間よりも短い時間で同時に消去処理する第 4 のステップと

を有する

ことを特徴とするデータ書き換え方法。

【請求項 6】 請求項 5 記載のデータ書き換え方法において、

上記第 1 のステップは、書き換えデータのアドレスと重複するアドレスが上記セクタ管理手段内にあるか否かを判別し、重複するアドレスを無効にし、第 n のセクタ管理領域に書き込まれているアドレスが有効であるときにのみ、第 n のバッファセクタに書き込まれているデータを第 n のセクタ管理領域に書き込まれているアドレスのデータセクタに書き込むことを特徴とするデータ書き換え方法。

【請求項 7】 請求項 6 記載のデータ書き換え方法において、
上記セクタ管理手段は、

不揮発性メモリで構成された第 1 のセクタ管理手段と、
フラッシュメモリで構成された第 2 のセクタ管理手段と
を有し、

上記第 1 のステップにおいては、上記重複するアドレスを上記第 1 のセクタ管理手段内でのみ無効にし、

上記第 2 のステップにおいて、書き換えデータを第 $(n + N)$ のバッファセクタに書き込んだあとに、上記重複するアドレスを上記第 2 のセクタ管理手段内で無効にする

ことを特徴とするデータ書き換え方法。

【請求項 8】 請求項 5 記載のデータ書き換え方法において、

読み出しアドレスが上記セクタ管理手段に書き込まれているアドレスであるか否かを判別することによって、読み出しデータがデータセクタに書き込まれているか否かを判別し、データセクタに書き込まれていれば上記フラッシュデータメモリから読み出し、データセクタに書き込まれていなければ上記フラッシュバッファから読み出すことを特徴とするデータ書き換え方法。

【請求項 9】 使用するデータ容量よりも N (N は 2 以上の整数) 個以上多いセクタ数のフラッシュメモリのデータをデータ書き換え装置によって書き換えるデータ書き換え方法であって、

データの論理アドレス数と同数のアドレス管理領域を有し、それぞれの論理アドレスのアドレス管理領域にその論理アドレスに割り当てたセクタの物理アドレスが書き込まれたアドレス管理手段と、

セクタの物理アドレスがそれぞれ書き込まれる複数のセクタ管理領域を有するセクタ管理手段と

を上記フラッシュメモリまたは上記データ書き換え装置に設け、

被書き換えデータが書き込まれているセクタとは異なる他のセクタであって第 n (n は 1 から N までのいずれかの整数) のセクタ管理領域に書き込まれている物理アドレスのセクタに、書き換えデータとその論理アドレスを書き込む第 1 の

ステップと、

第 n のセクタ管理領域に、上記書き換えデータの論理アドレスのアドレス管理領域に書き込まれている物理アドレスを書き込む第 2 のステップと、

上記書き換えデータの論理アドレスのアドレス管理領域を、上記書き換えデータを書き込んだセクタの物理アドレスに書き換える第 3 のステップと、

第 1 から第 N までのセクタ管理領域に書き込まれている物理アドレスの N 個のセクタを、セクタを完全に消去するのにかかる時間よりも短い時間で同時に消去処理する第 4 のステップと

を有する

ことを特徴とするデータ書き換え方法。

【請求項 10】 上記データ容量よりも $(M+N)$ (M は 1 以上の整数) 個以上多いセクタ数のフラッシュメモリのデータをデータ書き換え装置によって書き換える請求項 9 記載のデータ書き換え方法であって、

上記第 1 のステップは、

第 $(m+n)$ (m は初期値 0 で最大値 M の整数、 n は 1 から $M+N$ までのいずれかの整数) のセクタ管理領域に書き込まれている物理アドレスのセクタに、書き換えデータとその論理アドレスを書き込む第 5 のステップと、

上記第 5 のステップで正常に書き込みできたか否かをチェックし、正常の場合には上記第 2 のステップ進み、異常の場合には、第 $(m+n)$ のセクタ管理領域のセクタを不良としたあと、上記 m を 1 つインクリメントして上記第 5 のステップに戻る第 6 のステップと

を有し、

上記第 4 のステップは、 $n \leq N$ のときには第 1 から第 n までおよび第 $(N+M-n+1)$ から第 $(N+M)$ までのセクタ管理領域に書き込まれている物理アドレスの N 個のセクタを、 $n \geq N+1$ のときには第 $(n-N+1)$ から第 n までの N 個のセクタを、セクタを完全に消去するのにかかる時間よりも短い時間で同時に消去処理する

ことを特徴とするデータ書き換え方法。

【請求項 11】 請求項 9 記載のデータ書き換え方法において、

読み出し論理アドレスに相当する物理アドレスを、上記アドレス管理手段から検索し、その物理アドレスのセクタに書き込まれているデータを読み出すことを特徴とするデータ書き換え方法。

【請求項 1 2】 N (N は 2 以上の整数) 個のデータセクタよりなるフラッシュデータメモリと、上記データセクタのビット数と同ビット数を有する $2N$ 個のバッファセクタよりなるフラッシュバッファとによって構成されたフラッシュメモリのデータをデータ書き換え装置によって書き換えるデータ書き換え方法であって、

上記フラッシュメモリまたは上記データ書き換え装置には、書き換えデータが書き込まれる上記データセクタのアドレスがそれぞれ書き込まれる N 個のセクタ管理領域を有するセクタ管理手段が設けられており、

第 1 のセクタ管理領域にデータ書き換えを行う第 1 のデータセクタに対応する第 1 のアドレスを書き込む第 1 の工程と、

第 1 のバッファセクタに、第 1 の書き換えデータを書き込む第 2 の工程と、

上記第 1 のデータセクタにデータが書き込まれている場合、上記第 1 のデータセクタ、および第 2 のバッファセクタを含む N 個のバッファセクタを $1/N$ 時間にて消去し、この消去処理により、上記第 2 のバッファセクタに書き込まれているデータを完全に消去する第 3 の工程と、

データ書き換えを行う上記データセクタのアドレスを変更させるごとに、上記第 1 ないし第 3 の工程を、異なるセクタ管理領域、および異なるバッファセクタを用いて N 回繰り返し、上記第 1 のデータセクタに書き込まれているデータを完全に消去する第 4 の工程と、

上記第 4 の工程のあと、上記第 1 の書き換えデータを上記第 1 のデータセクタに書き込む第 5 の工程と、

上記第 5 の工程のあと、上記第 1 または第 4 の工程にて上記セクタ管理領域に書き込まれたアドレスに対応する上記データセクタ、および上記第 1 のバッファセクタと上記第 4 の工程にて書き換えデータが書き込まれているバッファセクタ以外の N 個のバッファセクタを $1/N$ 時間にて消去し、この消去処理のあと、少なくとも 1 つのデータ書き換えを行うデータセクタおよび少なくとも 1 つのバッ

ファセクタに書き込まれているデータを完全に消去する第 6 の工程と
を備える

ことを特徴とするデータ書き換え方法。

【請求項 1 3】 (N+1) (N は 2 以上の整数) 個のデータセクタよりなるフラッシュメモリのデータをデータ書き換え装置によって書き換えるデータ書き換え方法であって、

上記フラッシュメモリまたは上記データ書き換え装置には、上記データセクタのそれぞれに割り当てられる論理アドレス数と同数のアドレス管理領域を有し、それぞれの上記アドレス管理領域に上記論理アドレスが割り当てられた上記データセクタの物理アドレスのそれぞれが書き込まれたアドレス管理手段と、上記データセクタの物理アドレスのそれぞれが書き込まれる (N+1) 個のセクタ管理領域を有するセクタ管理領域とが設けられており、

上記セクタ管理手段の第 1 のセクタ管理領域に書き込まれた物理アドレスに対応する上記データセクタの少なくとも 1 つは、被書き換えデータが書き込まれているデータセクタとは異なる他のデータセクタであって、かつデータが消去された消去状態となっており、

上記被書き換えデータが書き込まれたデータセクタに割り当てられた物理アドレスを上記アドレス管理手段の第 1 のアドレス管理領域に書き込む第 1 の工程と

上記セクタ管理手段の第 1 のセクタ管理領域に書き込まれた物理アドレスに対応する上記データセクタに第 1 の書き換えデータを書き込む第 2 の工程と、

上記第 1 の工程にて上記アドレス管理手段の第 1 のアドレス管理領域に書き込まれた物理アドレスを上記セクタ管理手段の第 (N+1) のセクタ管理領域に書き込む第 3 の工程と、

上記第 1 の書き換えデータが書き込まれた上記データセクタに割り当てられた物理アドレスを上記アドレス管理手段の第 1 のアドレス管理領域に書き込む第 4 の工程と、

上記セクタ管理手段の第 2 から第 (N+1) までのセクタ管理領域に書き込まれた物理アドレスに対応する N 個の上記データセクタを 1/N 時間で消去し、上

記セクタ管理手段の第2のセクタ管理領域に書き込まれた物理アドレスに対応するデータセクタのデータを完全に消去する第5の工程と

を備える

ことを特徴とするデータ書き換え方法。

【請求項14】 使用するデータ容量よりもN（Nは2以上の整数）個以上多いセクタ数のフラッシュメモリのデータ書き換えをするデータ書き換え装置であって、

請求項5から13までのいずれかに記載のデータ書き換え方法によって書き換えをすることを特徴とするデータ書き換え装置。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】

本発明は、フラッシュEEPROMメモリ（以下、フラッシュメモリとする）のデータを書き換えるデータ書き換え装置およびデータ書き換え方法に関する。

【0002】

【従来の技術】

フラッシュメモリは、不揮発性の複数のメモリセルによって構成されている。フラッシュメモリのデータ書き換えは、消去（イレース：Erase）と書き込み（ライト：Write）の2つがセットになっている。消去は1ページ分または複数ページ分あるいは1セクタ分または複数セクタ分のメモリセルを単位としてなされ、書き込みは1バイト分や1ワード分のメモリセルを単位としてなされ、消去単位は、書き込み単位よりも大きい（例えば、特許文献1参照）。また例えば、消去はメモリセルのフローティングゲートから電子を抜き取ることによってなされ、書き込みはメモリセルのフローティングゲートに電子を注入することによってなされる。このようなフラッシュメモリのデータ書き換えでは、まず消去単位のメモリセルを一括して消去し、そのあと消去単位内のそれぞれの書き込み単位にデータを書き込む。

【0003】

従来のデータ書き換えでは、消去は、セクタを完全に消去できるまで（データ

読み出し時にメモリセルが消去状態であることが識別できるように、例えばフローティングゲートから電子を抜き取ることができるまで)、消去単位内のメモリセルのソースおよびドレインならびにコントロールゲートに継続して所定の消去電圧を印加することによってなされる。同様に、書き込みは、セクタを完全に書き込みできるまで(データ読み出し時にメモリセルが書き込み状態であることが識別できるように、例えばフローティングゲートに電子を注入することができるまで)、書き込み単位内のメモリセルのソースおよびドレインならびにコントロールゲートに継続して所定の書き込み電圧を印加することによってなされる。

【0004】

【特許文献1】

特開平11-85629号公報(図1)

【0005】

【発明が解決しようとする課題】

しかしながら上記従来のデータ書き換えでは、書き込み時間が数10 [μ s]と短いのに対し、消去時間が数10 [ms]と非常に長いので、例えばコンタクト付きICカードやコンタクトレスICカードに内蔵されたフラッシュメモリのデータ書き換えのように、数[ms]で高速にデータ書き換えをする必要がある場合には、データ書き換え時間が長くなり過ぎるという課題があった。

【0006】

本発明は、このような従来の課題を解決するためになされたものであり、高速なデータ書き換えができるデータ書き換え装置およびデータ書き換え方法を提供することを目的とするものである。

【0007】

【課題を解決するための手段】

本発明のデータ書き換え装置は、使用するデータ容量よりもN(Nは2以上の整数)個以上多いセクタ数のフラッシュメモリのデータ書き換えをするデータ書き換え装置であって、セクタを完全に消去するのにかかる時間より短い時間で1個のセクタを合計N回で時分割に消去し、消去中のN個のセクタの書き換えデータを他のセクタに書き込むことを特徴とするものである。

【 0 0 0 8 】

【発明の実施の形態】

実施の形態 1

図 1 は本発明の実施の形態 1 のマイクロコンピュータの機能ブロック図である。この実施の形態 1 のマイクロコンピュータは、RAM 2 と、コントロール ROM (C-ROM) 3 a およびアプリケーション ROM (AP-ROM) 3 b からなる ROM 3 と、制御部 4 と、データバス 5 と、アドレスバス 6 とを備え、フラッシュメモリ部 1 のデータ書き換えをするデータ書き換え装置を構成している。フラッシュメモリ部 1 は、例えば、コンタクト付き IC カードやコンタクトレス IC カードに内蔵されているか、あるいはこの実施の形態 1 のマイクロコンピュータに内蔵されている。

【 0 0 0 9 】

フラッシュメモリ部 1 は、ユーザデータなどが不揮発に書き込まれるフラッシュメモリを有する。RAM 2 には、ワークデータ（データ書き換え時の変数データなど）が一時書き込みされる。C-ROM 3 a には、フラッシュメモリ部 1 のデータ書き換えやマイクロコンピュータのその他の制御をするためのデータおよびプログラムが記憶されており、AP-ROM 3 b には、ユーザのアプリケーションプログラムが記憶されている。制御部 4 は、C-ROM 3 a 内のプログラムに従って、データ書き換えなどを制御する。RAM 2、ROM 3、制御部 4、およびフラッシュメモリ部 1 は、データバス 5 およびアドレスバス 6 によって相互に接続されている。

【 0 0 1 0 】

フラッシュメモリ部 1 のデータ書き換えは、AP-ROM 3 b 内のアプリケーションプログラムから C-ROM 3 a 内のデータ書き換え制御プログラムをコールして、その制御プログラムに従ってなされるので、アプリケーションプログラムは、フラッシュメモリ部 1 のデータ書き換え制御を気にせずに処理できる。

【 0 0 1 1 】

図 2 はフラッシュメモリ部 1 の機能ブロック図である。図 2 に示すように、フラッシュメモリ部 1 は、フラッシュデータメモリ 1 1 およびフラッシュバッファ

1 2 によって構成されたフラッシュメモリと、アドレスラッチ 1 3 と、アドレスポインタ 1 4 と、読み出し用データ差し替え回路 1 5 とを備えている。

【 0 0 1 2 】

〔フラッシュデータメモリ 1 1〕

フラッシュデータメモリ 1 1 は、フラッシュメモリで構成され、書き換えデータが書き込まれる 3 2 [バイト] 構成のセクタ (データセクタ) を 2 5 6 個 (データセクタ 0, 1, ..., 2 5 5) 備えており、1 セクタ単位または複数セクタ単位の消去と 1 ワード単位 (2 バイト単位) の書き込みが可能になっている。

【 0 0 1 3 】

〔フラッシュバッファ 1 2〕

フラッシュバッファ 1 2 は、書き換えデータが一時書き込みされる 3 2 [バイト] 構成のデータエリアと、2 [バイト] 構成の管理エリア 1 2 b からなる 3 4 [バイト] 構成のセクタ (バッファセクタ) を 3 2 個 (バッファセクタ 0, 1, ..., 3 1) 備えており、1 セクタ単位または複数セクタ単位の消去と 1 ワード単位の書き込みが可能になっている。フラッシュバッファ 1 2 のバッファセクタ 0 ~ 3 1 の管理エリア 1 2 b は、データセクタのセクタアドレスが書き込まれるセクタ管理手段を構成している。

【 0 0 1 4 】

フラッシュデータメモリ 1 1 とフラッシュバッファ 1 2 は、消去時に同時に複数のセクタ (データセクタおよびバッファセクタ) を選択できるようになっており、同時に複数のセクタを消去できる構成になっている。

【 0 0 1 5 】

図 3 は管理エリア 1 1 a のビット構成図である。図 3 に示すように、それぞれのバッファセクタに設けられた 2 [バイト] の管理エリア 1 2 a は、書き換えアドレスが書き込まれるセクタアドレスエリア 1 2 b (bit 7 - bit 0 の 8 [ビット]) と、有効フラグが書き込まれる有効フラグエリア 1 2 c (bit 8 の 1 [ビット]) と、重複フラグが書き込まれる重複フラグエリア 1 2 d (bit 9 の 1 [ビット]) と、セクタポインタが書き込まれるセクタポインタエリア 1 2 e (bit 1 3 - bit 1 0 の 4 [ビット]) と、未使用ビットエリア (b i

t 1 5, b i t 1 4 の 2 [ビット]) によって構成されている。

【 0 0 1 6 】

上記の書き換えアドレスは、そのバッファセクタのデータエリアに一時書き込みされた書き換えデータを書き込むべきデータセクタのセクタアドレスである。また、有効フラグエリア 1 2 c の有効フラグおよび重複フラグエリア 1 2 d の重複フラグは、そのバッファセクタのセクタアドレスエリア 1 2 b の書き換えアドレスおよびデータエリアのデータが有効であるか無効であることを示すフラグである。

【 0 0 1 7 】

[アドレスラッチ 1 3]

アドレスラッチ 1 3 は、管理エリア 1 2 a の下位 9 ビット (有効フラグエリア 1 2 c およびセクタアドレスエリア 1 2 b) と同じビット構成の 9 [ビット] のラッチエリアを 1 6 個 (ラッチエリア A d 0, A d 1, ..., A d 1 5) 備えている。それぞれのラッチエリアの b i t 7 - b i t 0 には、書き換えアドレスが書き込まれ、b i t 8 には、有効フラグが書き込まれる。このアドレスラッチ 1 3 の合計 1 4 4 [ビット] のラッチ出力は、読み出し用データ差し替え回路 1 5 に入力される。このアドレスラッチ 1 3 は、バッファセクタの管理エリアと同様に、データセクタのセクタアドレスが書き込まれるセクタ管理手段を構成している。ただし、このアドレスラッチ 1 3 では、b i t 8 の有効フラグによって、そのバッファセクタのセクタアドレスエリア 1 2 b のセクタアドレスおよびデータエリアのデータが有効であるか無効であることを示す。

【 0 0 1 8 】

[アドレスポインタ 1 4]

アドレスポインタ 1 4 は、5 [ビット] のカウンタで構成され、フラッシュバッファ 1 2 およびアドレスラッチ 1 3 のポインタの役割を果たし、下位 4 ビット (b i t 3 - b i t 0) でアドレスラッチ 1 3 のラッチエリアの位置を示し、5 ビット全体でフラッシュバッファ 1 2 のバッファセクタの位置を示す。

【 0 0 1 9 】

[読み出し用データ差し替え回路 1 5]

図4は読み出し用データ差し替え回路15の構成例を示す図である。図4において、読み出し用データ差し替え回路15は、144 (9×16) 個のXORゲート15aと、16個のNORゲート15bと、16個のANDゲート15cと、1個のORゲート15dと、1個のINVゲート15eと、32個のANDゲート15fとによって構成されている。

【0020】

アドレスバス6 (図1参照) からの入力アドレスは、13ビット構成であり、その上位8ビット ($A_{12} - A_5$) がセクタアドレスになっている。また、アドレスラッチ13のラッチエリア A_{dx} (x は0, 1, … 15のいずれか) のラッチ出力では、下位8ビット ($bit_7 - bit_0$) がセクタアドレス (書き換えアドレス) であり、上位1ビット (bit_8) が有効フラグである。

【0021】

それぞれのXORゲート15aは、ラッチエリア A_{dx} のラッチ出力の bit_y (y は0, 1, … 7のいずれか) と、入力アドレスのビット $A_{(y+5)}$ とを2入力とし、両ビットの同異を比較する。

【0022】

第 $(x+1)$ のNORゲート15bは、ラッチエリア A_{dx} の $bit_7 - bit_0$ (データセクタアドレス) についてのXORゲート15aの8出力を入力とする。

【0023】

第 $(x+1)$ のANDゲート15cは、ラッチエリア A_{dx} の $bit_7 - bit_0$ についてのNORゲート15bの出力と、ラッチエリア A_{dx} の bit_8 (有効フラグ) とを入力とする。

【0024】

ORゲート15dは、16個のANDゲート15cの出力を入力とし、これらの16入力のOR信号を、フラッシュデータメモリ11とフラッシュバッファ12のセクタ信号 $BUF/MEMB$ としてを出力する。

【0025】

INVゲート15eは、アドレスポインタ14の最上位ビット bit_4 を入力

とし、その反転信号を出力する。

【 0 0 2 6 】

第 $(2x+1)$ の AND ゲート 1 5 f は、第 $(x+1)$ の AND ゲート 1 5 c の出力と、アドレスポインタ 1 4 の `bit 4` とを 2 入力とし、バッファセクタ $(x+16)$ の選択信号 `BSEL $(x+16)$` を出力する。また、第 $(2x+2)$ の AND ゲート 1 5 f は、第 $(x+1)$ の AND ゲート 1 5 c の出力と、INV ゲート 1 5 e の出力とを 2 入力とし、バッファセクタ x の選択信号 `BSEL x` を出力する。

【 0 0 2 7 】

この実施の形態 1 では、データセクタは 3 2 [バイト] 構成、バッファセクタは 3 4 $(32+2)$ [バイト] 構成であり、消去単位は 1 [セクタ] または複数 [セクタ]、書き込み単位は 1 [ワード] (2 [バイト]) である。従って、1 [セクタ] を消去したときには、フラッシュデータメモリ 1 1 では 1 6 回の書き込みがなされ、フラッシュバッファ 1 2 では 1 7 回の書き込みがなされる。

【 0 0 2 8 】

セクタのデータエリアを 3 2 [バイト] 構成としたフラッシュメモリでは、8 [kバイト] のデータ容量は 2 5 6 [セクタ] に相当する。フラッシュメモリ部 1 のフラッシュメモリは、フラッシュデータメモリ 1 1 のデータセクタと、フラッシュバッファ 1 2 のバッファセクタのデータエリアとを併せて、2 8 8 $(256+32)$ [セクタ] で構成されており、8 [kバイト] のデータ容量よりも 3 2 [セクタ] 多い構成になっている。

【 0 0 2 9 】

そして、この実施の形態 1 は、セクタを完全に消去するのにかかる時間よりも短い時間 (ただし、セクタを完全に消去するのにかかる時間の $1/16$ の時間以上) でデータ書き換え処理ごとに消去処理をすることによって 1 個のセクタを合計 1 6 回のデータ書き換え処理で時分割に消去し、消去中の 1 6 個のデータセクタに書き込むべき書き換えデータをバッファセクタに一時書き込みしておき、このバッファセクタに一時書き込みした書き換えデータを時分割消去が完了したデータセクタに書き込むことを特徴とするものである。

【 0 0 3 0 】

〔データ書き換え動作〕

このような実施の形態 1 のデータ書き換え処理は、A P - R O M 3 b 内のアプリケーションプログラムから C - R O M 3 a 内のデータ書き換えサブルーチン（データ書き換え制御プログラム）をコールし、制御部 4 がそのデータ書き換えサブルーチンに従って制御する。以下に実施の形態 1 のデータ書き換え動作について説明する。

【 0 0 3 1 】

図 5 から図 7 までは本発明の実施の形態 1 のデータ書き換え処理を説明する図であって、データ書き換え処理を繰り返したときのフラッシュデータメモリ 1 1、バッファメモリ 1 2、アドレスラッチ 1 3、およびアドレスポインタ 1 4 の状態を示す図である。図 5 から図 7 までにおいて、（1）は 1 回目のデータ書き換え処理、（2）は 2 回目のデータ書き換え処理、（3）は 1 6 回目のデータ書き換え処理、（4）は 1 7 回目のデータ書き換え処理、（5）は 3 2 回目のデータ書き換え処理である。また、図 5 から図 7 までおよび以下の説明では、フラッシュデータメモリ 1 1 およびフラッシュバッファ 1 2 のメモリセルの消去状態を“0”、書き込み状態を“1”としている。

【 0 0 3 2 】

〔1 回目のデータ書き換え処理〕

図 5（1）の 1 回目のデータ書き換え処理では、アドレスポインタ 1 4 は“0 0 0 0”であり、アドレスポインタ 1 4 が示すバッファセクタ 0（図 2 参照）のデータエリアには、書き換えデータ D a t a 1 が書き込まれ、上記バッファセクタ 0 の管理エリア（図 2 の 1 2 a および図 3 参照）には、1 回目の書き換えアドレス（書き換えデータ D a t a 1 を書き込むべきデータセクタのアドレス）A d d 1（b i t 7 - b i t 0）と、有効フラグ＝“1”（b i t 8）と、重複フラグ＝“0”（b i t 9）と、セクタポインタ＝“0 0 0 1”（b i t 1 3 - b i t 1 0）とが書き込まれる。なお、上記バッファセクタ 0 は、1 回目のデータ書き換え処理の前に消去が完了している。

【 0 0 3 3 】

また、1回目のデータ書き換え処理では、アドレスポインタ14の下位4ビット"0000"が示すアドレスラッチ13のラッチエリアAdd0（図2参照）には、1回目の書き換えアドレスAdd1（bit7-bit0）と、有効フラグ="1"（bit8）とが書き込まれる。

【0034】

そして、1回目のデータ書き換え処理では、書き換えアドレスAdd1のデータセクタと、バッファセクタ1からバッファセクタ16までの16個のバッファセクタ（アドレスポインタの現データ+1からアドレスポインタの現データ+16までのバッファセクタ）の合計17セクタが同時に消去される。このときの消去時間は、従来の消去時間（セクタを完全に消去できる時間）よりも短く、上記従来の消去時間の1/16以上の時間である。

【0035】

書き換えアドレスAdd1のデータセクタと、バッファセクタ16は、この1回目のデータ書き換え処理での消去が最初の時分割消去となる。消去時間が従来よりも短いので、書き換えアドレスAdd1のデータセクタおよびバッファセクタ16は、中途半端な消去状態で、完全には消去されていない。また、バッファセクタ1は、この1回目のデータ書き換え処理での消去によって完全に消去されたことになる。

【0036】

[2回目のデータ書き換え処理]

図5（2）の2回目のデータ書き換え処理では、アドレスポインタ14が"0001"にインクリメントされ、アドレスポインタ14が示す第2のバッファセクタのデータエリアには、書き換えデータData2が書き込まれ、上記バッファセクタ1の管理エリア（図2の12aおよび図3参照）には、2回目の書き換えアドレス（書き換えデータData2を書き込むべきデータセクタのアドレス）Add2（bit7-bit0）と、有効フラグ="1"（bit8）と、重複フラグ="0"（bit9）と、セクタポインタ="0001"（bit13-bit10）とが書き込まれる。

【0037】

また、2回目のデータ書き換え処理では、アドレスポインタ14の下位4ビット"0001"が示すアドレスラッチ13のラッチエリアA d 1には、2回目の書き換えアドレスA d d 2 (b i t 7 - b i t 0) と、有効フラグ=" 1" (b i t 8) とが書き込まれる。

【0038】

そして、2回目のデータ書き換え処理では、書き換えアドレスA d d 1, A d d 2の2個のデータセクタと、バッファセクタ2からバッファセクタ17までの16個のバッファセクタ(アドレスポインタの現データ+1からアドレスポインタの現データ+16までのバッファセクタ)の合計18セクタが同時に消去される。このときの消去時間も、上記1回目のデータ書き換え処理のときと同じである。

【0039】

書き換えアドレスA d d 2のデータセクタおよびバッファセクタ17は、この2回目のデータ書き換え処理での消去が最初の時分割消去となり、書き換えアドレスA d d 1のデータセクタおよびバッファセクタ16は、この2回目のデータ書き換え処理での消去が2回目の時分割消去となり、バッファセクタ2は、この2回目のデータ書き換え処理での消去によって完全に消去されたことになる。

【0040】

[3回目から15回目までのデータ書き換え処理]

3回目から15回目までのデータ書き換え処理では、上記1回目および2回目のデータ書き換え処理と同様に、データ書き換え処理ごとに、アドレスポインタ14が"00010", "00011", ..., "01110"とインクリメントされ、アドレスポインタ14が示すバッファセクタ2からバッファセクタ14までのデータエリアに、3回目の書き換えデータD a t a 3から15回目の書き換えデータD a t a 15までが書き込まれ、上記バッファセクタ2からバッファセクタ14までの管理エリアに、3回目の書き換えアドレスA d d 3から15回目の書き換えアドレスA d d 15までと、有効フラグ=" 1" と、重複フラグ=" 0" と、セクタポインタ=" 0001" とが書き込まれる。

【0041】

また、3回目から15回目までのデータ書き換え処理では、上記1回目および2回目のデータ書き換え処理と同様に、データ書き換え処理ごとに、アドレスポインタ14の下位4ビット"0010"，"0011"，…，"1110"が示すアドレスラッチ13のラッチエリアAd2からラッチエリアAd14までのラッチエリアに、3回目の書き換えアドレスAdd3から15回目の書き換えアドレスAdd15までと、有効フラグ="1"とが書き込まれる。

【0042】

そして、3回目から15回目までのデータ書き換え処理では、上記1回目および2回目のデータ書き換え処理と同様に、データ書き換え処理ごとに、バッファセクタの管理エリアに書き込まれた書き換えアドレスの複数のデータセクタと、アドレスポインタの現データ+1からアドレスポインタの現データ+16までの16個のバッファセクタとが同時に消去される。

【0043】

[16回目のデータ書き換え処理]

図6(3)の16回目の書き換え処理では、アドレスポインタ14が"01111"にインクリメントされ、アドレスポインタ14が示すバッファセクタ15のデータエリアには、書き換えデータData16が書き込まれ、上記バッファセクタ15の管理エリア(図2の12aおよび図3参照)には、16回目の書き換えアドレス(書き換えデータData16を書き込むべきデータセクタのアドレス)Add16(bit7-bit0)と、有効フラグ="1"(bit8)と、重複フラグ="0"(bit9)と、セクタポインタ="0001"(bit13-bit10)とが書き込まれる。

【0044】

また、16回目のデータ書き換え処理では、アドレスポインタ14の下位4ビット"1111"が示すアドレスラッチ13のラッチエリアAd15には、16回目の書き換えアドレスAdd16(bit7-bit0)と、有効フラグ="1"(bit8)とが書き込まれる。

【0045】

そして、16回目のデータ書き換え処理では、書き換えアドレスAdd1，A

dd2, ..., Add16の16個のデータセクタと、バッファセクタ16からバッファセクタ31までの16個のバッファセクタ（アドレスポインタの現データ+1からアドレスポインタの現データ+16までのバッファセクタ）の合計18セクタが同時に消去される。このときの消去時間も、上記1回目および2回目のデータ書き換え処理のときと同じである。

【0046】

この16回目のデータ書き換え処理がなされたことによって、アドレスラッチ13が一杯になり、フラッシュバッファ12が半分埋まる。書き換えアドレスAdd16のデータセクタおよびバッファセクタ31は、この16回目のデータ書き換え処理での消去が最初の時分割消去となる。また、書き換えアドレスAdd1のデータセクタおよびバッファセクタ16は、この16回目のデータ書き換え処理での消去が16回目の時分割消去となり、完全に消去されたことになる。

【0047】

[17回目のデータ書き換え処理]

図6（4）の17回目のデータ書き換え処理では、アドレスポインタ14が“10000”にインクリメントされ、アドレスポインタ14は、第17のバッファセクタを示し、アドレスポインタ14の下位4ビット“0000”は、上記1回目のデータ書き換え処理と同じアドレスラッチ13のラッチエリアAd0を示す。この17回目のデータ書き換え処理では、上記ラッチエリアAd0の有効フラグ（アドレスポインタの現データ-16のバッファセクタであるバッファセクタ0の管理エリアの有効フラグ）が、データ書き換え処理前にすでに“1”になっているので、上記バッファセクタ0に書き込まれている書き換えデータData1を、上記ラッチエリアAd0（上記バッファセクタ0の管理エリア）に書き込まれている1回目の書き換えアドレスAdd1のデータセクタに書き込み、一時保管のバッファセクタからデータセクタに移す。

【0048】

なお、上記1回目から16回目までの書き換え処理では、ラッチエリアAd0からラッチエリアAd15までのラッチエリアの有効フラグ（バッファセクタ16からバッファセクタ30までの管理エリアの有効フラグ）はデータ書き換え処

理前には”1”になっていないので、バッファセクタ16からバッファセクタ30までのデータエリアのデータをデータセクタに移す処理はされない。

【0049】

また、17回目のデータ書き換え処理では、アドレスポインタ14が示すバッファセクタ16のデータエリアには、書き換えデータData17が書き込まれ、上記バッファセクタ16の管理エリア（図2の12aおよび図3参照）には、17回目の書き換えアドレス（書き換えデータData17を書き込むべきデータセクタのアドレス）Add17（bit7-bit0）と、有効フラグ=”1”（bit8）と、重複フラグ=”0”（bit9）と、セクタポインタ=”0001”（bit13-bit10）とが書き込まれる。

【0050】

また、17回目のデータ書き換え処理では、1回目の書き換えデータData1をデータセクタに移したあと、アドレスポインタ14の下位4ビットが示すアドレスラッチ13の上記ラッチエリアAd0では、上記1回目の書き換えアドレスAdd1（bit7-bit0）が17回目の書き換えアドレスAdd17（bit7-bit0）に書き換えられるとともに、有効フラグ=”1”（bit8）が書き込まれる。

【0051】

そして、17回目のデータ書き換え処理では、書き換えアドレスAdd2，Add3，…，Add17の16個のデータセクタと、バッファセクタ0およびバッファセクタ17からバッファセクタ31までの16個のバッファセクタ（アドレスポインタの現データ+1からアドレスポインタの現データ+16までのバッファセクタ）の合計32セクタが同時に消去される。このときの消去時間も、上記1回目および2回目のデータ書き換え処理のときと同じである。

【0052】

書き換えアドレスAdd17のデータセクタおよびバッファセクタ0は、この17回目のデータ書き換え処理での消去が最初の時分割消去となる。また、書き換えアドレスAdd2のデータセクタおよびバッファセクタ17は、この17回目のデータ書き換え処理での消去が16回目の時分割消去となり、完全に消去さ

れたことになる。

【0053】

[18回目から31回目までのデータ書き換え処理]

18回目から31回目までのデータ書き換え処理では、上記17回目のデータ書き換え処理と同様に、データ書き換え処理ごとに、アドレスポインタ14が"10001"，"00010"，…，"11110"とインクリメントされ、アドレスポインタ14は、バッファセクタ17からバッファセクタ30までを順次示し、アドレスポインタ14の下位4ビット"0001"，"0010"，…，"1110"は、上記2回目から15回目までのデータ書き換え処理と同じアドレスラッチ13のラッチエリアAd1からラッチエリアAd14までを順次示す。これら18回目から31回目までのデータ書き換え処理では、上記ラッチエリアAd1からラッチエリアAd14の有効フラグ（バッファセクタ1からバッファセクタ14までの管理エリアの有効フラグ）がいずれも"1"なので、上記バッファセクタ1からバッファセクタ14までに一時書き込みされていた書き換えデータData2，Data3，…，Data15を、上記ラッチエリアAd1からラッチエリアAd14（上記バッファセクタ1からからバッファセクタ14までの管理エリア）に書き込まれている2回目から15回目までの書き換えアドレスAdd2，Add3，…，Add15のデータセクタに書き込んで移す処理をする。

【0054】

また、18回目から31回目までのデータ書き換え処理では、上記17回目のデータ書き換え処理と同様に、データ書き換え処理ごとに、アドレスポインタ14が示すバッファセクタ17からバッファセクタ30までのデータエリアに、18回目の書き換えデータData18から31回目の書き換えデータData31までが書き込まれ、上記バッファセクタ17からバッファセクタ30までの管理エリアに、18回目の書き換えアドレスAdd18から31回目の書き換えアドレスAdd31までと、有効フラグ="1"と、重複フラグ="0"と、セクタポインタ="0001"とが書き込まれる。

【0055】

また、18回目から31回目までのデータ書き換え処理では、上記17回目のデータ書き換え処理と同様に、データ書き換え処理ごとに、2回目の書き換えデータData1から15回目の書き換えデータData15までをデータセクタに移したあと、アドレスポインタ14の下位4ビットが示すアドレスラッチ13の上記ラッチエリアAd1からラッチエリアAd14では、上記2回目の書き換えアドレスAdd2から上記15回目の書き換えアドレスAdd15までが、それぞれ18回目の書き換えアドレスAdd18から31回目の書き換えアドレスAdd31までに書き換えられるとともに、有効フラグ="1"が書き込まれる。

【0056】

そして、18回目から31回目までのデータ書き換え処理では、上記17回目のデータ書き換え処理と同様に、データ書き換え処理ごとに、バッファセクタの管理エリアに書き込まれた書き換えアドレスの16個のデータセクタと、アドレスポインタの現データ+1からアドレスポインタの現データ+16までの16個のバッファセクタとが同時に消去される。

【0057】

[32回目の書き換え処理]

図7(5)の32回目の書き換え処理では、アドレスポインタ14が"11111"にインクリメントされ、アドレスポインタ14は、バッファセクタ31を示し、アドレスポインタ14の下位4ビット"1111"は、上記16回目のデータ書き換え処理と同じアドレスラッチ13のラッチエリアAd15を示す。この32回目のデータ書き換え処理では、上記ラッチエリアAd15の有効フラグ(アドレスポインタの現データ-16のバッファセクタであるバッファセクタ15の管理エリアの有効フラグ)が、データ書き換え処理前にすでに"1"になっているので、上記バッファセクタ15に書き込まれている書き換えデータData16を、上記ラッチエリアAd15(上記バッファセクタ15の管理エリア)に書き込まれている16回目の書き換えアドレスAdd16のデータセクタに書き込み、一時保管のバッファセクタからデータセクタに移す。

【0058】

また、32回目のデータ書き換え処理では、アドレスポインタ14が示すバッファセクタ31のデータエリアには、書き換えデータData32が書き込まれ、上記バッファセクタ31の管理エリア（図2の12aおよび図3参照）には、32回目の書き換えアドレス（書き換えデータData32を書き込むべきデータセクタのアドレス）Add32（bit7-bit0）と、有効フラグ="1"（bit8）と、重複フラグ="0"（bit9）と、セクタポインタ="0001"（bit13-bit10）とが書き込まれる。

【0059】

また、32回目のデータ書き換え処理では、16回目の書き換えデータData16をデータセクタに移したあと、アドレスポインタ14の下位4ビットが示すアドレスラッチ13の上記ラッチエリアAd15では、上記16回目の書き換えアドレスAdd16（bit7-bit0）が32回目の書き換えアドレスAdd32（bit7-bit0）に書き換えられるとともに、有効フラグ="1"（bit8）が書き込まれる。

【0060】

そして、32回目のデータ書き換え処理では、書き換えアドレスAdd17, Add18, ..., Add32の16個のデータセクタと、バッファセクタ0からバッファセクタ15までの16個のバッファセクタ（アドレスポインタの現データ+1からアドレスポインタの現データ+16までのバッファセクタ）の合計32セクタが同時に消去される。このときの消去時間も、上記1回目および2回目のデータ書き換え処理のときと同じである。

【0061】

この32回目のデータ書き換え処理がなされたことによって、アドレスラッチ13が再び一杯になり、フラッシュバッファ12が全て埋まる。書き換えアドレスAdd32のデータセクタは、この32回目のデータ書き換え処理での消去が最初の時分割消去となる。バッファセクタ15も、この32回目のデータ書き換え処理での消去が、2度目の消去における最初の時分割消去となる。また、書き換えアドレスAdd17のデータセクタおよびバッファセクタ0は、この32回目のデータ書き換え処理での消去が16回目の時分割消去となり、完全に消去

されたことになる。

【 0 0 6 2 】

3 3 回目のデータ書き換え処理は、上記 1 回目のデータ書き換え処理に、一時保管の書き換えデータをバッファセクタからデータセクタに移す処理を追加したものと同様である。つまり、3 3 回目以降のデータ書き換え処理では、図 5 (1) から図 7 (5) までと同様の処理が繰り返される。このようなデータ書き換え処理の繰り返しによって、データセクタおよびバッファセクタは、時分割で順次消去され、書き換えデータは、消去が完了したバッファセクタに順次一時書き込みされ、消去が完了したデータセクタに順次移される。

【 0 0 6 3 】

ただし、3 3 回目以降のデータ書き換え処理では、バッファセクタの管理エリアには、セクタポインタ = " 0 0 1 0 " (b i t 1 3 - b i t 1 0 、図 3 の 1 2 e 参照) が書き込まれる。さらに、その次の 3 2 回のデータ書き換え処理である 6 5 回目以降のデータ書き換え処理では、セクタポインタ = " 0 1 0 0 " が書き込まれる。このようにセクタポインタは、3 2 回のデータ書き換え処理ごとに、" 1 " となるビットをシフトして書き込まれる。これは電源投入時のバッファセクタの最初の書き込み位置 (電源投入前のバッファセクタの最後の書き込み位置) を識別するための手法である。なお、電源投入時の初期化処理については、あとで説明する。

【 0 0 6 4 】

図 8 は本発明の実施の形態 1 のデータ書き換え処理を示すフローチャートである。図 8 および以下の説明では、フラッシュデータメモリ 1 1 およびフラッシュバッファ 1 2 のメモリセルの消去状態を " 0 " 、書き込み状態を " 1 " としている。

【 0 0 6 5 】

図 8 および以下の説明において、P はアドレスポインタ 1 4 にセットされたデータ (ポインタデータ) である。また、L A T [P] は、アドレスラッチ 1 3 のラッチエリアであって、ポインタデータ P の下位 4 [ビット] が示す位置のラッチエリアである。

【0066】

また、 $BUF[P]$ 、 $BUF[P-16]$ 、 $BUF[P+1]$ 、 $BUF[P+16]$ は、それぞれバッファセクタであって、 $BUF[P]$ は、ポインタデータPの位置のバッファセクタであり、 $BUF[P-16]$ 、 $BUF[P+1]$ 、 $BUF[P+16]$ は、それぞれデータP-16、P+1、P+16をポインタデータとしたときの位置のバッファセクタである。ただし、ここでは32個のバッファセクタをサイクリックに使用するため、P-16およびP+16は、いずれもポインタデータPに16を加算し、その値を32で除算した剰余である。つまり、P-16およびP+16は、

$$(P+16) \bmod 32$$

なる演算で求めた値である。また、P+1は、ポインタデータPに1を加算し、その値を32で除算した剰余である。つまり、P+1は、

$$(P+1) \bmod 32$$

なる演算で求めた値である。

【0067】

また、 $MEM[LAT[P]]$ は、データセクタであって、ラッチエリアLAT[P]に書き込まれた書き換えアドレスのデータセクタである。同時に、 $MEM[LAT[P]]$ は、バッファセクタ $BUF[P]$ または $BUF[P-16]$ の管理エリア（図2の12aおよび図3参照）に書き込まれた書き換えアドレスのデータセクタでもある。

【0068】

[ステップS1]

まず図8のステップS1で、ポインタデータPに1を加算して更新する。ただし、ここでは32個のバッファセクタをサイクリックに使用するため、実際には、ポインタデータPに1を加算し、その値を32で除算して、その剰余でポインタデータPを更新する。つまり、

$$(P+1) \bmod 32$$

なる演算で求めた値でポインタデータPを更新する。

【0069】

[ステップ S 2, S 3]

次にステップ S 2 で、今回の書き換えアドレスが、すでにアドレスラッチ 1 3 に書き込まれている書き換えアドレスと重複しているか否かを判別し、重複している書き換えアドレスがあれば、ステップ S 3 で、書き換えアドレスが重複しているバッファセクタの管理エリア（図 2 の 1 2 a および図 3 参照）の重複フラグ（b i t 9、図 3 の 1 2 d 参照）に” 1 ” を書き込み、さらにステップ S 4 で、書き換えアドレスが重複しているアドレスラッチ 1 3 のラッチエリア内の有効フラグ（b i t 8）に” 0 ” を書き込み、ステップ S 5 に進む。また、上記ステップ S 2 で重複している書き換えアドレスがなければ、ステップ S 5 に進む。

【 0 0 7 0 】

なお、上記ステップ S 3, S 4 で、書き換えアドレスの重複を識別するために、アドレスラッチ 1 3 のラッチエリアでは、有効フラグに” 0 ” を書き込んで、そのラッチエリアに書き込まれた書き換えアドレスを無効にしているが、バッファセクタの管理エリアでは、重複フラグに” 1 ” を書き込んで、その管理エリアに書き込まれた書き換えアドレスを無効にしている。これは、管理エリアの有効フラグを” 0 ” に消去するには、そのバッファセクタを消去しなければならず、時間がかかるからである。また、上記図 5 から図 7 まででは、書き換えアドレスの重複はないものとして説明した。

【 0 0 7 1 】

[ステップ S 5]

ステップ S 5 では、ラッチエリア L A T [P] に書き込まれた有効フラグ（b i t 8）が” 1 ” か否かを判別することによって、そのラッチエリア L A T [P] に書き込まれている書き換えアドレスが有効であるか否かを判別し、上記の有効フラグが” 1 ” であればステップ S 6 に進み、” 0 ” であればステップ S 7 に進む。

【 0 0 7 2 】

このステップ S 5 では、ラッチエリア L A T [P] はまだ更新前なので、ラッチエリア L A T [P] には、バッファセクタ B U F [P - 1 6] の管理エリアに書き込まれているものに相当する書き換えアドレスおよび有効フラグが書き込ま

れている。この更新前のラッチエリアLAT[P]の有効フラグ(bit 8)は、バッファセクタBUF[P-16]に、データセクタMEM[LAT[P]]に書き込む有効な書き換えデータがあるか否かを示すフラグであって、有効な書き換えデータがある場合には"1"となり、今回の書き換え処理およびその15回前までの書き換え処理において書き換えアドレスが重複して無効になった場合や、バッファセクタBUF[P-16]がまだ未使用の場合には、無効であることを示す"0"となる。

【0073】

[ステップS6]

ステップS6では、バッファセクタBUF[P-16]に一時書き込みされている有効な書き換えデータを、データセクタMEM[LAT[P]]に書き込む。

【0074】

上記ステップS6では、ワード単位の書き込みになるので、16回の書き込み処理をすることになる。ここで、1[ワード]の書き込み時間を20[μs]とすると、この書き込み処理に3.20[μs]かかることになる。

【0075】

また、上記ステップS6で、データセクタに書き込まれる書き換えデータは、16回前のデータ書き換え処理においてバッファセクタBUF[P-16]に一時書き込みされた書き換えデータである。従って、上記ステップS6は、本来書き込まれるべきデータセクタMEM[LAT[P]]に、上記バッファセクタBUF[P-16]に一時書き込みされた書き換えデータを移す処理となる。

【0076】

[ステップS7]

次にステップS7で、バッファセクタBUF[P]のデータエリアに、今回の書き換えデータを書き込むとともに、バッファセクタBUF[P]の管理エリアに、今回の書き換えアドレス(bit 7-bit 0)および有効フラグ="1"(bit 8)を書き込む。

【0077】

上記ステップ S 7 においても、ワード単位の書き込みで 1 7 回書き込むことになるので、この書き込み処理に 3 4 0 [μ s] かかることになる。

【 0 0 7 8 】

[ステップ S 8]

次にステップ S 8 で、ラッチエリア LAT [P] に、今回の書き換えアドレス (b i t 7 - b i t 0) および有効フラグ = " 1 " (b i t 8) を書き込んで、ラッチエリア LAT [P] を更新する。

【 0 0 7 9 】

[ステップ S 9]

最後にステップ S 9 で、1 6 個のデータセクタ MEM [LAT [P - 1 5]] ~ MEM [LAT [P]] の内で、書き換えアドレスが有効な (ラッチエリアに書き込まれた有効フラグが " 1 " である) 全てのデータセクタと、1 6 個のバッファセクタ BUF [P + 1] ~ BUF [P + 1 6] とを同時に消去する。

【 0 0 8 0 】

なお、この実施の形態 1 では、フラッシュデータメモリ 1 1 およびフラッシュバッファ 1 2 のデコーダは複数のセクタを同時に選択できるようになっているので、同時に複数のデータセクタおよび複数のバッファセクタを消去することができる。

【 0 0 8 1 】

また、この実施の形態 1 では、データ書き換え処理ごとの 1 6 回の時分割消去によってそれぞれのセクタを完全に消去するので、上記ステップ S 9 での消去時間は、従来の消去時間の 1 / 1 6 の時間とすることができる。例えば、セクタの完全な消去に 2 0 [m s] 必要な場合は、1 . 2 5 [m s] の消去時間となる。

【 0 0 8 2 】

以上で 1 回のデータ書き換え処理が完了したことになり、ソフト処理を除いた 1 回のデータ書き換え処理時間は、アドレス重複がない場合で 0 . 3 2 + 0 . 3 4 + 1 . 2 5 = 1 . 9 1 [m s] となり、アドレス重複があった場合でも管理エリアの書き込みが 1 回増えるだけなので、2 [m s] 以内で完了できる計算になる。

【 0 0 8 3 】

〔初期設定処理〕

上記電源投入時の初期設定処理について以下に説明する。アドレスラッチ 1 3 およびアドレスポインタ 1 4 は、揮発性記憶手段（レジスタやカウンタ）で構成されており、電源が切れるとデータが消えてしまうので、電源投入時には、アドレスラッチ 1 3 およびアドレスポインタ 1 4 を初期設定できるようにする必要がある。そのためには、電源投入時のバッファセクタの最初の書き込み位置（電源投入前のバッファセクタの最後の書き込み位置）を識別できるようにする必要がある。

【 0 0 8 4 】

そこで、この実施の形態 1 では、揮発性記憶手段で構成された第 1 のセクタ管理手段であるアドレスラッチ 1 3 の他に、フラッシュメモリで構成された第 2 のセクタ管理手段であるフラッシュバッファ 1 2 の管理エリア 1 2 a とによって、セクタ管理手段を構成し、電源が切れてもデータを保持できるフラッシュバッファ 1 2 の管理エリア 1 2 a 内に設けたセクタポインタを参照することによって、電源投入時の最初の書き込み位置（電源投入前の最後の書き込み位置）を識別でき、アドレスラッチ 1 3 およびアドレスポインタ 1 4 を初期設定できるようにしている。

【 0 0 8 5 】

セクタポインタは、上記図 5 から図 7 までにおいて説明したように、“ 0 0 0 1 ”，“ 0 0 1 0 ”，“ 0 1 0 0 ”というように、3 2 回のデータ書き換え処理ごとに“ 1 ”となるビットをシフトして書き込まれる。

【 0 0 8 6 】

電源投入時に、管理エリア 1 2 a のセクタポインタを、バッファセクタ 0 からバッファセクタ 3 1 の順で参照していき、まずセクタポインタが“ 0 0 0 0 ”でないバッファセクタを探し、そこからさらにセクタポインタが“ 0 0 0 0 ”であるバッファセクタを探す。

【 0 0 8 7 】

バッファセクタ 0 からバッファセクタ 3 1 の順で参照したとき、セクタポイン

タが” 0 0 0 0 ” でないデータから” 0 0 0 0 ” になった最初のバッファセクタが、電源投入時の最初の書き込み位置となり、そのバッファセクタの1個前のバッファセクタ（セクタポインタが” 0 0 0 0 ” でない最後のバッファセクタ）が電源投入前の最後の書き込み位置となるので、アドレスポインタ14には、この電源投入前の最後の書き込み位置を示すデータを初期設定する。

【 0 0 8 8 】

次に、上記初期設定したアドレスポインタ14が示す位置のバッファセクタの管理エリアの下位9ビット（b i t 7 - b i t 0 の書き換えアドレスおよび b i t 8 の有効フラグ、図3の12bおよび12c参照）をアドレスポインタ14の下位4ビットが示す位置のアドレスラッチ13のラッチエリアに書き込む。

【 0 0 8 9 】

さらに、現アドレスポインタデータ-1の位置から現アドレスポインタデータ-16の位置までの管理エリア12aの下位9ビットを、それぞれ現アドレスポインタデータ-1の下位4ビットの位置から現アドレスポインタデータ-16の下位4ビットの位置までのアドレスラッチ13のラッチエリアにそれぞれ書き込む。以上で、アドレスラッチ13およびアドレスポインタ14の初期設定が完了する。

【 0 0 9 0 】

ここで、セクタポインタ（図3の12e参照）に、” 1 ” にするビットの位置を変えたポインタを使用しているのは、バッファセクタの消去が16回のデータ書き換え処理での時分割消去によってなされるため、管理エリア12aによっては中途半端な消去状態（消去途中の状態）のものが存在するが、このような消去途中の管理エリア12aを含んでいても、電源投入時の最初の書き込み位置（電源投入前の最後の書き込み位置）を確実に識別することができるようにするためである。

【 0 0 9 1 】

以上の初期設定処理によって電源投入時にアドレスラッチ13およびアドレスポインタ14を確実に初期設定することができる。

【 0 0 9 2 】

このような初期設定処理は、C-R O M 3 a 内にサブルーチンとして用意しておけば、A P - R O M 3 b 内のアプリケーションプログラムからC-R O M 3 a 内の初期設定サブルーチン（初期設定制御プログラム）をコールし、制御部 4 がその初期設定サブルーチンに従って制御する。

【 0 0 9 3 】

〔データ読み出し動作〕

実施の形態 1 のデータ読み出し動作について以下に説明する。アドレスラッチ 1 3 に書き込まれているセクタアドレスのデータセクタは消去中であるため、このデータを読み出す場合には、バッファセクタに一時書き込みされているデータに差し替えて読み出す必要がある。このため、読み出しセクタアドレスがアドレスラッチ 1 3 に書き込まれているものか否かを判別することによって、読み出しデータが、データセクタに移される前のバッファセクタに一時書き込みされているデータであるか、すでにデータセクタに書き込まれたデータであるかを判別し、データセクタに書き込まれる前のバッファセクタに一時書き込みされているデータであればそのバッファセクタから読み出し、すでにデータセクタに書き込まれているデータであればそのデータセクタから読み出す処理が必要である。

【 0 0 9 4 】

このようなデータ読み出し処理は、読み出し用データ差し替え回路 1 5 （図 1 および図 4 参照）によってなされる。図 4 の読み出し用データ差し替え回路 1 5 において、アドレスラッチ 1 3 のラッチエリア A d x から出力されたセクタアドレス（b i t 7 - b i t 0）は、8 個の X O R ゲート 1 5 a によって、読み出しセクタアドレス（読み出しアドレスの上位 8 ビット）A 1 2 - A 5 と比較され、全てのビットが一致した場合にのみ、第（x + 1）の N O R ゲート 1 5 b の出力が” H ”（H i g h）になる。

【 0 0 9 5 】

また、ラッチエリア A d x から出力された有効フラグ（b i t 8）は、重複した書き換えアドレスの書き換えデータが一時書き込みされたバッファセクタや未使用のバッファセクタではそのバッファセクタの管理エリアのアドレスおよびデータエリアのデータが無効であることを示す” 0 ”（” L ”（L o w））であり

、重複していない書き換えアドレスの書き換えデータが一時書き込みされているバッファセクタではそのバッファセクタの管理エリアに書き込まれている書き換えアドレスおよびデータエリアに書き込まれている書き換えデータが有効であることを示す” 1 ” (” H ”) である。

【 0 0 9 6 】

このため、読み出しセクタアドレスがラッチエリア $A d x$ に書き込まれているセクタアドレス (書き換えアドレス) と一致し、かつその書き換えアドレスおよび書き換えデータが有効である場合にのみ、第 $(x + 1)$ の AND ゲート 1 5 c の出力は ” H ” になる。

【 0 0 9 7 】

第 1 から第 1 6 までの AND ゲート 1 5 c の出力は OR ゲート 1 5 d に入力され、OR ゲート 1 5 d の出力であるセクタ信号 $B U F / M E M B$ は、いずれかの AND ゲート 1 5 c の出力が ” H ” であれば、バッファセクタからの読み出しを示す ” H ” となり、全ての AND ゲート 1 5 c の出力が ” L ” であれば、データセクタからの読み出しを示す ” L ” となる。

【 0 0 9 8 】

また、アドレスポインタ 1 4 の最上位ビット ($b i t 4$) の出力と第 $(x + 1)$ の AND ゲート 1 5 c の出力とを第 $(2 x + 1)$ の AND ゲート 1 5 f に入力して、バッファセクタ $(x + 1 6)$ の選択信号 $B S E L (x + 1 6)$ を生成し、アドレスポインタ 1 4 の最上位ビット ($b i t 4$) の反転出力 ($I N V$ ゲート 1 5 e の出力) と第 $(x + 1)$ の AND ゲート 1 5 c の出力とを第 $(2 x + 2)$ の AND ゲート 1 5 f に入力して、バッファセクタ x の選択信号 $B S E L x$ を生成する。

【 0 0 9 9 】

このように、読み出しセクタアドレスがアドレスラッチ 1 3 の 1 6 個のラッチエリア $A d 0 \sim A d 1 5$ に書き込まれたセクタアドレス (書き換えアドレス) のいずれかと一致し、かつそのラッチエリアに書き込まれた有効フラグが ” 1 ” の場合には、セクタ信号 $B U F / M E M B$ がフラッシュバッファ 1 2 からの読み出しを示す ” H ” になるとともに、バッファセクタの選択信号 $B S E L 0 \sim B S$

E L 3 1 のいずれかが” H ” になり、そのフラッシュバッファセクタに一時書き込みされているデータが読み出されることになる。選択信号 B S E L x が” H ” であれば、バッファセクタ x (第 (x + 1) のバッファセクタ) のデータエリアに一時書き込みされている書き換えデータが読み出される。

【 0 1 0 0 】

また、読み出しセクタアドレスがアドレスラッチ 1 3 の 1 6 個のラッチエリア A d 0 ~ A d 1 5 に書き込まれたセクタアドレス (書き換えアドレス) のいずれとも一致しなければ、セクタ信号 B U F / M E M B がフラッシュデータメモリ 1 1 からの読み出しを示す” L ” になり、読み出しセクタアドレスのデータバッファに書き込まれているデータが読み出される。

【 0 1 0 1 】

以上のように実施の形態 1 によれば、書き換えデータおよび書き換えアドレスをバッファセクタに一時書き込みし、上記書き換えアドレスのデータセクタを、完全な消去にかかる時間の 1 / 1 6 の時間ずつの消去処理によって、1 6 回のデータ書き換え処理で時分割で消去し、消去が完了した上記データセクタに、上記バッファセクタに一時書き込みした書き換えデータを書き込んで移すことにより、1 回のデータ書き換え処理にかかる時間を短くできる。

【 0 1 0 2 】

また、読み出し用データ差し替え回路 1 5 によってデータセクタおよびバッファセクタからのデータ読み出しを制御することにより、データセクタに書き込まれていないデータの読み出しをアプリケーションプログラムで意識する必要がなく、データ読み出し処理時間を短くできる。

【 0 1 0 3 】

また、目標の書き換え処理時間になるように時分割して消去するので、長時間の消去処理のためのバックアップ電源が必要ない。

【 0 1 0 4 】

また、1 6 回のデータ書き換え処理中にアドレスが重複した場合、最新の書き換えデータのみがデータセクタに書き込まれるので、フラッシュデータメモリ 1 1 の書き換え回数を少なくできる。

【 0 1 0 5 】

実施の形態 2

本発明の実施の形態 2 のマイクロコンピュータは、上記実施の形態 1 のマイクロコンピュータ（図 1 参照）において、データ書き換え処理の手順の一部を変更したものである。

【 0 1 0 6 】

上記実施の形態 1 では、図 1 のステップ S 2 でアドレスの重複を検出すると同時に、ステップ S 3 でバッファセクタの管理エリアに重複フラグ＝” 1 ” を書き込んで、そのバッファセクタに書き込まれている書き換えアドレスおよび書き換えデータを無効にしている。

【 0 1 0 7 】

しかしながら、このような手順では、新しい書き換えデータおよびその書き換えアドレスをバッファセクタに書き込む処理が完了する前に、アドレスが重複した古いデータを無効にしてしまうため、図 1 のステップ S 5 から S 7 までの間に事故などで電源が切れた場合に、有効な書き換えデータが判らなくなってしまう可能性がある。

【 0 1 0 8 】

そこで、実施の形態 2 では、新しい書き換えデータをバッファセクタに書き込み完了してから、アドレスが重複した古いデータが書き込まれているバッファセクタの管理エリアに重複フラグ＝” 1 ” を書き込んで無効にすることによって、フラッシュバッファ 1 2 では新旧データの少なくともいずれかが必ず有効になっているので、新しい書き換えデータの一時書き込みの途中で電源が切れても、電源の再投入時の初期設定処理において有効な書き換えデータを識別できる。なお、実施の形態 2 のマイクロコンピュータの構成は、上記実施の形態 1 のマイクロコンピュータ（図 1 および図 2 参照）と全く同じなので、その説明を省略する。

【 0 1 0 9 】

図 9 は本発明の実施の形態 2 のデータ書き換え処理を示すフローチャートである。なお、図 9 において、図 8 に記載のものに相当するものには同じ符号を付してある。また、図 9 および以下の説明において、D U P F は重複検出フラグ、P

2は書き換えアドレスが重複しているバッファセクタの位置を示すデータ（重複位置データ）が書き込まれる変数であり、これらの重複検出フラグDUPFおよび変数P2はRAM2（図1参照）内に設けられている。また、BUF[P2]は、変数P2に書き込まれた重複位置データが示す位置のバッファセクタである。

【0110】

この図9の実施の形態2のデータ書き換え処理は、上記実施の形態1のデータ書き換え処理（図8参照）において、ステップS1をステップS1'、ステップS3をS3'にそれぞれ変更し、ステップS7とS8の間に、ステップS10およびS11を設けたものである。実施の形態2のデータ書き換え処理について、上記実施の形態1のデータ書き換え処理との違いを中心に以下に説明する。

【0111】

この実施の形態2のデータ書き換え処理では、RAM2（図1参照）内に重複検出フラグDUPFを設けてあり、まず図9のステップS1'で、ポインタデータPをインクリメントして更新するとともに、重複検出フラグDUPFを"0"にする。

【0112】

上記の重複検出フラグDUPFは、そのデータ書き換え処理において、アドレスの重複が検出されたか否かを示すフラグであり、DUPF="0"はアドレスの重複が検出されなかったことを示し、DUPF="1"はアドレス重複が検出されたことを示す。

【0113】

また、この実施の形態2のデータ書き換え処理では、RAM2（図1参照）内に変数P2を設けてあり、ステップS2でアドレスの重複が検出されたら、ステップS3'で、重複検出フラグDUPFを"1"にするとともに、変数P2に、書き換えアドレスが重複しているバッファセクタの位置を示すデータ（重複位置データ）を書き込む。

【0114】

ステップ4からステップS7まででは、上記実施の形態1と同様に、バッファ

セクタ BUF [P-16] に有効な書き換えデータが一時書き込みされていれば、その書き換えデータをデータセクタ MEM [LAT [P]] に書き込み、バッファセクタ BUF [P] に、今回の書き換えデータおよび書き換えアドレスを書き込む。なお、アドレスラッチ 13 のラッチエリアについては、この実施の形態 2 においても上記実施の形態 1 と同様に、ステップ S 2 でアドレスの重複を検出すると同時に、ステップ S 4 でラッチエリアの有効フラグを” 1 ” から” 0 ” に書き換えて、そのラッチエリアに書き込まれた書き換えアドレスを無効にしている。

【 0 1 1 5 】

そしてステップ S 1 0 で、重複検出フラグ DUP F が” 1 ” か否かを判別することによって、上記ステップ S 2 でアドレスの重複を検出したか否かを判別し、DUP F = ” 1 ” ならばステップ S 1 1 に進み、DUP F = ” 0 ” ならばステップ S 8 に進む。

【 0 1 1 6 】

ステップ 1 1 では、バッファセクタ BUF [P 2] の管理エリア（図 2 の 1 2 a および図 3 参照）の重複フラグ（b i t 9、図 3 の 1 2 d 参照）に” 1 ” を書き込む。なお、ステップ S 8 以降は上記実施の形態 1 と同様である。

【 0 1 1 7 】

以上のように実施の形態 2 によれば、書き換えアドレスが重複した場合に、新しい書き換えデータをバッファセクタに書き込み完了してから、アドレスが重複した古いデータが書き込まれているバッファセクタの管理エリアに重複フラグ = ” 1 ” を書き込んで無効にすることにより、上記実施の形態 1 と同様の効果が得られる上に、データ書き換え処理の途中で電源が切れても、有効な書き換えデータを失うことなく完全に復旧できる。

【 0 1 1 8 】

実施の形態 3

本発明の実施の形態 3 のマイクロコンピュータは、上記実施の形態 1 のマイクロコンピュータ（図 1 参照）において、主にフラッシュメモリ部 1 の構成および機能を変更したものである。

【 0 1 1 9 】

図 1 0 は本発明の実施の形態 3 のマイクロコンピュータにおいてのフラッシュメモリ部 1 の機能ブロック図である。なお、図 1 0 において、図 2 に記載のものに相当するものには同じ符号を付してある。

【 0 1 2 0 】

図 1 0 に示すように、実施の形態 3 のフラッシュメモリ部 1 は、フラッシュデータメモリ 1 1 およびイレースバッファ 1 6 によって構成されたフラッシュメモリと、アドレスラッチ 1 3 と、アドレスポインタ 1 4 と、アドレス RAM 1 7 とを備えている。

【 0 1 2 1 】

この実施の形態 3 のフラッシュメモリ部 1 は、上記実施の形態 1 のフラッシュメモリ部 1 (図 2 参照) において、フラッシュバッファ 1 2 および読み出し用データ差し替え回路 1 5 を削除して、イレースバッファ 1 6 およびアドレス RAM 1 7 を設け、フラッシュデータメモリ 1 1、アドレスラッチ 1 3、およびアドレスポインタ 1 4 の構成や機能をそれぞれ変更したものである。

【 0 1 2 2 】

〔フラッシュデータメモリ 1 1〕

実施の形態 3 のフラッシュデータメモリ 1 1 は、フラッシュメモリで構成され、書き換えデータが書き込まれる 3 2 [バイト] 構成のデータエリアと、主に書き換え論理アドレスが書き込まれる 2 [バイト] 構成のメモリ管理エリア 1 1 a からなる 3 4 [バイト] 構成のセクタ (データセクタ) を 2 8 8 個備えており、1 セクタ単位または複数セクタ単位の消去と 1 ワード単位の書き込みが可能になっている。

【 0 1 2 3 】

図 1 1 はメモリ管理エリア 1 1 a のビット構成図である。図 1 1 に示すように、それぞれのデータセクタに設けられた 2 [バイト] のメモリ管理エリア 1 1 a は、書き換えデータの論理セクタアドレス (書き換え論理アドレス) が書き込まれる論理セクタアドレスエリア 1 1 b (b i t 7 - b i t 0 の 8 [ビット]) と、有効セクタフラグが書き込まれる有効セクタフラグエリア 1 1 c (b i t 8 の

1 [ビット]) と、不良セクタフラグが書き込まれる不良セクタフラグエリア 1 1 d (b i t 9 の 1 [ビット]) と、ダミーデータ " 0 0 0 0 0 0 " のダミービットエリア (b i t 1 5 - b i t 1 0 の 6 [ビット]) とによって構成されている。

【 0 1 2 4 】

有効セクタフラグエリア 1 1 c の有効セクタフラグおよび不良セクタフラグエリア 1 1 d の不良セクタフラグは、そのデータセクタが有効であるか無効であるかを示すフラグである。また、上記の不良フラグは、そのデータセクタが不良セクタであるか否かを示すフラグである。

【 0 1 2 5 】

[イレースバッファ 1 6]

イレースバッファ 1 6 は、それぞれ 2 [バイト] 構成の 1 6 個のバッファデータエリア 1 6 a と、2 [バイト] 構成のバッファ管理エリア 1 6 d からなる 3 4 [バイト] 構成のセクタ (バッファセクタ) を 4 個備えており、1 セクタ単位または複数セクタ単位の消去と 1 ワード単位の書き込みが可能になっている。このイレースバッファ 1 6 は、データセクタの物理セクタアドレスが書き込まれるセクタ管理手段を構成している。

【 0 1 2 6 】

図 1 2 はバッファデータエリア 1 6 a のビット構成図である。図 1 2 に示すように、それぞれのバッファセクタに 1 6 個ずつ設けられた 2 [バイト] のバッファデータエリア 1 6 a は、データセクタの物理セクタアドレスが書き込まれる物理セクタアドレスエリア 1 6 b (b i t 8 - b i t 0 の 9 [ビット]) と、書き込み完了フラグが書き込まれる書き込み完了フラグエリア 1 6 c (b i t 9 の 1 [ビット]) と、ダミービット = " 0 0 0 0 0 0 " のダミービットエリア (b i t 1 5 - b i t 1 0 の 6 [ビット]) とによって構成されている。

【 0 1 2 7 】

それぞれのバッファデータエリア 1 6 a に書き込まれた物理セクタアドレスは、これから時分割消去によってこれから消去するデータセクタおよび消去中のデータセクタの物理セクタアドレス、またはデータ書き込み可能なデータセクタの

物理セクタアドレスである。また、書き込み完了フラグエリア 1 6 c の書き込み完了フラグは、書き込みが完了したか否かを示すフラグである。

【 0 1 2 8 】

また、それぞれのバッファセクタのバッファ管理エリア 1 6 d には、バッファデータエリア 1 6 a が書き込まれるごとに、下位ビットから順に 1 ビットずつ “ 1 ” が書き込まれる。これによって、バッファセクタ内のすでの書き込んだバッファデータエリア 1 6 a の位置、および次に書き込むバッファデータエリア 1 6 a の位置を識別できるようになっている。

【 0 1 2 9 】

フラッシュデータメモリ 1 1 は、複数のデータセクタを同時に消去できるようになっており、さらにフラッシュデータメモリ 1 1 とイレースバッファ 1 6 は、消去時に同時に複数のセクタ（複数のデータセクタおよび 1 つのバッファセクタ）を選択できるようになっており、同時に複数のセクタを消去できる構成になっている。

【 0 1 3 0 】

[アドレスポインタ 1 4]

実施の形態 3 のアドレスポインタ 1 4 は、 6 [ビット] のカウンタで構成され、イレースバッファ 1 6 のポインタの役割を果たし、上位 2 ビット (b i t 5 , b i t 4) でイレースバッファ 1 6 のバッファセクタの位置を示し、下位 4 ビット (b i t 3 - b i t 0) でバッファセクタ内でのバッファデータエリア 1 6 a の位置を示す。

【 0 1 3 1 】

[アドレス RAM 1 7]

アドレス RAM 1 7 は、 8 [k バイト] のデータ容量に相当する 2 5 6 セクタ分のデータ (2 5 6 個の論理セクタ) を識別するための 8 [ビット] の論理セクタアドレスと同じアドレスでそれぞれのデータエリアをアクセスでき、それぞれのデータエリア (アドレス管理エリア) に、データセクタ (物理セクタ) を識別するための 9 [ビット] の物理セクタアドレスを書き込みできる構成の RAM である。つまり、アドレス RAM 1 7 のそれぞれのアドレス管理エリアのアドレス

は、8 [kバイト] のデータ容量のそれぞれの論理セクタアドレスと同じになっており、RAM 17のそれぞれのアドレス管理エリアには、そのアドレスと同じ論理セクタアドレスを割り当てたデータセクタ（物理セクタ）の物理セクタアドレスが書き込まれている。このアドレスRAM 17は、8 [kバイト] のデータ容量の論理セクタアドレス数と同数のアドレス管理エリアを有し、それぞれのアドレス管理エリアを上記論理セクタアドレスと同じアドレスでアクセス可能であり、それぞれのアドレス管理エリアに、そのアドレスと同じ論理セクタアドレスを割り当てたデータセクタの物理セクタアドレスが書き込まれたアドレス管理手段を構成している。

【 0 1 3 2 】

論理セクタアドレスは、例えば8 [kバイト] のデータ容量に相当する256セクタ分（256個の論理セクタ）を識別してアクセス可能とするために、上記それぞれの論理セクタに付されるアドレスであり、256個の論理セクタでは、8 [ビット] である。また、物理セクタアドレスは、フラッシュデータメモリ 11のデータセクタ（物理セクタ）を識別してアクセス可能とするために、それぞれのデータセクタに固定で付されるアドレスである。フラッシュデータメモリ 11には、論理セクタ数よりも多い288個のデータセクタが設けられているので、物理セクタアドレスは9 [ビット] になる。これらの288個のデータセクタの内の256個のデータセクタに256個の論理セクタアドレスがそれぞれ割り当てられる。そして、この実施の形態3では、それぞれの論理セクタアドレスには、固定不変のデータセクタが割り当てられるのではなく、その論理セクタアドレスのデータ書き換えごとに、異なるデータセクタが割り当てられる。

【 0 1 3 3 】

[アドレスラッチ 1 3]

実施の形態3のアドレスラッチ13は、データセクタの物理セクタアドレスと同じビット構成の9 [ビット] のレジスタで構成され、フラッシュデータメモリ 11のデータ読み出しに使用するためにアドレスRAM 17から読み出された物理セクタアドレスをラッチする。

【 0 1 3 4 】

この実施の形態 3 のフラッシュメモリ部 1 のフラッシュデータメモリ 11 は、288 [セクタ] で構成されており、8 [k バイト] のデータ容量よりも 32 [セクタ] 多い構成になっている。この上記データ容量よりも多い 32 [セクタ] の内、16 [セクタ] は、上記実施の形態 1 と同様の時分割消去を可能にするために設けられたものであり、残りの 16 [セクタ] は、不良セクタをリカバリするために設けられたものである。

【0135】

そして、この実施の形態 3 は、書き換えデータをその論理セクタアドレスが割り当てられていた第 1 のデータセクタとは異なる第 2 のデータセクタに書き込んで、上記の論理セクタアドレスの割り当てデータセクタを第 1 のデータセクタから第 2 のデータセクタに変更し、セクタを完全に消去するのにかかる時間よりも短い時間（ただし、セクタを完全に消去するのにかかる時間の $1/16$ の時間以上）でデータ書き換え処理ごとに消去処理をすることによって、上記第 1 のデータセクタを合計 16 回のデータ書き込み処理で時分割に消去することを特徴とするものである。

【0136】

[データ書き換え動作]

このような実施の形態 3 のデータ書き換え処理は、上記実施の形態 1 と同様に、AP-ROM 3b 内のアプリケーションプログラムから C-ROM 3a 内のデータ書き換えサブルーチン（データ書き換え制御プログラム）をコールし、制御部 4 がそのデータ書き換えサブルーチンに従って制御する。以下に実施の形態 3 のデータ書き換え動作について説明する。

【0137】

図 13 は本発明の実施の形態 3 のデータ書き換え処理を示すフローチャートである。図 13 および以下の説明では、フラッシュデータメモリ 11 およびイレースバッファ 16 のメモリセルの消去状態を "0"、書き込み状態を "1" としている。

【0138】

図 13 および以下の説明において、P はアドレスポインタ 14 にセットされた

データ（ポインタデータ）である。また、ERPおよびCHKはRAM2（図1参照）内に設けられた変数である。また、Addは、書き換えデータの論理セクタアドレス（書き換え論理アドレス）である。

【0139】

また、BUF[P]，BUF[ERP]，BUF[P-15]は、それぞれバッファデータエリア（図10の16a参照）であって、BUF[P]は、ポインタデータPの位置のバッファデータエリアであり、BUF[ERP]は、変数ERPをポインタデータとしたときの位置のバッファデータエリアであり、BUF[P-15]は、P+15をポインタデータとしたときの位置のバッファデータエリアである。ただし、ここでは64個のバッファデータエリアをサイクリックに使用するため、P-15は、ポインタデータPに15を加算し、その値を64で除算した剰余である。つまり、P+15は、

$$(P+15) \bmod 64$$

なる演算で求めた値である。

【0140】

また、MEM[BUF[ERP]のbit8-0]は、物理セクタアドレスのデータセクタである。

【0141】

また、RAM[Add]は、RAM17内の書き換え論理アドレスAddと同じアドレスのデータエリア（アドレス管理エリア）である。

【0142】

図14および図15は本発明の実施の形態3のデータ書き換え処理の一例を説明する図であって、(1)は図13のステップStet1、(2)は図13のステップStet2、(3)は図13のステップStet3、(4)は図13のステップStet4の処理をした状態である。

【0143】

図14および図15のデータ書き換え処理の例では、そのデータ書き換え処理の開始前に、物理セクタアドレスP-Add1のデータセクタに、論理セクタアドレスAddの古いデータData1が書き込まれており、アドレスRAM17

のアドレス $A d d$ のデータエリアには、物理セクタアドレス $P - A d d 1$ が書き込まれており、" 0 0 0 0 0 0 " , " 0 0 0 0 0 1 " , ... , " 0 1 1 1 1 1 " をポインタデータとしたときの位置の 1 6 個のバッファデータエリア 1 6 には、物理セクタアドレス $E - A d d 1$, $E - A d d 1$, ... , $E - A d d 3 2$ が書き込まれており、アドレスポインタ 1 4 にはポインタデータ " 0 1 1 1 1 1 " がセットされている。

【 0 1 4 4 】

従って、図 1 4 および図 1 5 のデータ書き換え処理の例では、そのデータ書き換え処理の開始前に、物理セクタアドレス $E - A d d 1$ から $E - A d d 1 7$ までの 1 7 個のデータセクタはすでに消去を完了しており、物理セクタアドレス $E - A d d 1 8$ のデータセクタはすでに 1 5 回の時分割消去処理がなされており、物理セクタアドレス $E - A d d 3 2$ のデータセクタはすでに 1 回の時分割消去処理がなされている。

【 0 1 4 5 】

また、図 1 4 および図 1 5 のデータ書き換え処理の例では、書き換えデータは $D a t a 2$ であり、その論理セクタアドレス（書き換え論理アドレス）は $A d d$ である。従って、データ $d a t a 1$ が被書き換えデータである。

【 0 1 4 6 】

これら図 1 4 および図 1 5 のデータ書き換え処理を具体例として、図 1 3 のデータ書き換え処理について以下に説明する。

【 0 1 4 7 】

[ステップ S 2 1]

まず、図 1 3 のステップ S 2 1 で、ポインタデータ P に 1 を加算して更新する。ただし、ここでは 6 4 個のバッファデータエリアをサイクリックに使用するため、実際には、ポインタデータ P に 1 を加算し、その値を 6 4 で除算して、その剰余でポインタデータ P を更新する。つまり、

$$(P + 1) \bmod 64$$

なる演算で求めた値でポインタデータ P を更新する。

【 0 1 4 8 】

更新前のポインタデータ P は、前回のデータ書き換え処理で、消去するデータセクタの物理アドレスを書き込んだバッファデータエリア（図 1 0 の 1 6 a および図 1 1 参照）の位置を示し、更新されたポインタデータ P は、今回のデータ書き換え処理で、消去するデータセクタの物理アドレスを書き込むバッファデータエリアの位置を示す。

【 0 1 4 9 】

図 1 4 および図 1 5 の例では、ポインタデータ P は、" 0 1 1 1 1 1 "（1 0 進法で 3 1）から" 1 0 0 0 0 0 "（1 0 進法で 3 2）に更新される。更新前のポインタデータ P = " 0 1 1 1 1 1 " は、消去するデータセクタの物理アドレス E - A d d 3 2 を前回書き込んだバッファデータエリア（図 1 4（1）参照）の位置を示し、更新されたポインタデータ P = " 1 0 0 0 0 0 " は、消去するデータセクタの物理アドレス P - A d d 1 を今回書き込むバッファデータエリア（図 1 4（2）参照）の位置を示す。

【 0 1 5 0 】

[ステップ S 2 2]

この実施の形態 3 のデータ書き換え処理では、RAM 2（図 1 参照）内に変数 E R P を設けてあり、図 1 3 のステップ S 2 2 で、この変数 E R P に、ポインタデータ P から 3 2 を減算した値を書き込む。ただし、ここでは 6 4 個のバッファデータエリアをサイクリックに使用するため、実際には、あらかじめポインタデータ P に 3 2 を加算し、その値を 6 4 で除算して、その剰余を変数 E R P に書き込む。つまり、

$$(P + 32) \bmod 64$$

なる演算で求めた値を変数 E R P に書き込む。

【 0 1 5 1 】

上記の変数 E R P は、消去が完了して書き込み可能になったデータセクタの物理セクタアドレスが書き込まれているバッファデータエリアの位置を示す。この実施の形態 3 では、フラッシュデータメモリ 1 1 を、8 [k バイト] のデータ容量よりも 3 2 [セクタ]（時分割消去のための 1 6 [セクタ] およびリカバリ処理のための 1 6 [セクタ]）多い構成としており、1 6 回のデータ書き換え処理

での時分割消去によってセクタを完全に消去するので、リカバリ処理がなされていなければ、バッファデータエリア BUF [P] の 3 2 個前のバッファデータエリアから 1 7 個前のバッファデータエリアまでに書き込まれた物理セクタアドレスの 1 6 個のデータセクタが、消去が完了して書き込み可能になったデータセクタである。これら 1 6 個のバッファデータエリアの内の最初のバッファデータエリア（バッファデータエリア BUF [P] の 3 2 個前のバッファデータエリア）の位置を示すために、ポインタデータ P から 3 2 を減算した値を変数 ERP としている。

【 0 1 5 2 】

図 1 4 および図 1 5 の例では、

$$ERP = (32 + 32) \bmod 64 = 0$$

であり、この変数 ERP = 0 は、物理アドレス E - A d d 1 が書き込まれたバッファデータエリア（図 1 4 （1）参照）の位置を示す。

【 0 1 5 3 】

[ステップ S 2 3]

図 1 3 のステップ S 2 3 では、バッファデータエリア BUF [ERP] の書き込み完了フラグ（b i t 9、図 1 2 の 1 6 c）が” 0 ” であるか否かを判別し、書き込み完了フラグが” 0 ” ならばステップ S 2 4 に進み、” 1 ” ならばステップ S 3 4 に進む。

【 0 1 5 4 】

[ステップ S 2 4]

上記ステップ 2 3 で書き込み完了フラグ = ” 0 ” であれば、図 1 3 のステップ S 2 4 で、その書き込み完了フラグ（バッファデータエリア BUF [ERP] の書き込み完了フラグ）に” 1 ” を書き込む。

【 0 1 5 5 】

[ステップ S 2 5, S 2 6]

次に図 1 3 のステップ S 2 5 で、データセクタ MEM [BUF [ERP] の b i t 8 - 0] のデータエリアに、書き換えデータを書き込み、図 1 3 のステップ S 2 6 で、そのデータセクタ MEM [BUF [ERP] の b i t 8 - 0] のメモ

り管理エリア（図10の11aおよび図11参照）に、書き換え論理アドレス（bit7-bit0、図11の11b参照）および有効セクタフラグ="1"（bit8、図11の11c参照）を書き込む。

【0156】

図14および図15の例では、物理セクタアドレスE-Add1のデータセクタのデータエリアに、書き換えデータData2が書き込まれ、物理セクタアドレスE-Add1のデータセクタのメモリ管理エリアに、書き換え論理アドレスAdd（bit7-bit0）および有効セクタフラグ="1"が書き込まれる（図14（1）参照）。

【0157】

なお、上記ステップS25、S26では、ワード単位の書き込みになるので、17回の書き込み処理をすることになる。ここで、1[ワード]の書き込み時間を20[μs]とすると、この書き込み処理に340[μs]かかることになる。

【0158】

[ステップS27]

次に図13のステップS27で、上記ステップS25、S26での書き込みが正常になされたか否かをチェックし、書き込みが正常になされていればステップS28に進み、書き込みが正常になされていなければステップS32に進む。

【0159】

[ステップStep1]

ここまでのステップS21からS27まではステップStep1の処理を構成しており、このステップStep1の処理によって図14（1）の状態になる。図14（1）では、物理セクタアドレスE-Add1のデータセクタに、書き換えデータData2と、その論理セクタアドレス（書き換え論理アドレス）Addが書き込まれている。

【0160】

このように、ステップStep1は、ポインタデータPを更新して変数ERPを求め、バッファデータエリアBUF[ERP]に書き込まれている物理セクタ

アドレス $E-Add1$ に、新しい書き換えデータ $Data2$ および書き換え論理アドレス Add を書き込む処理である。

【0161】

[ステップ S28, S29]

上記ステップ S27 で書き込み OK であれば、図 13 のステップ S28 で、アドレス管理エリア RAM $[Add]$ にアクセスし、古いデータ（被書き換えデータ）が書き込まれているデータセクタの物理セクタアドレスをバッファデータエリア $[P]$ の $bit8-bit0$ に書き込み、図 13 のステップ S29 で、上記古いデータの物理セクタアドレスを書き込んだバッファセクタのバッファ管理エリア $16d$ （図 10 参照）を更新する。

【0162】

[ステップ Step 2]

これらのステップ S28 および S29 はステップ Step 2 の処理を構成しており、このステップ Step 2 の処理によって図 14（2）の状態になる。図 14（2）では、書き換え論理アドレス Add と同じアドレス RAM17 のアドレス（アドレス管理エリア RAM $[Add]$ ）に書き込まれている物理セクタアドレスであって古いデータ（被書き換えデータ） $Data1$ が書き込まれているデータセクタの物理セクタアドレスである $P-Add1$ が、ポインタデータ $P = "100000"$ の位置のバッファデータエリアに書き込まれ、この物理セクタアドレス $P-Add1$ を書き込んだバッファセクタのバッファ管理エリア $16d$ が、 $"00000000000000000000"$ から $"00000000000000000001"$ に更新されている。

【0163】

[ステップ S30]

次に図 13 のステップ S30 で、アドレス管理エリア RAM $[Add]$ に、新しい書き換えデータを書き込んだデータセクタの物理セクタアドレスを書き込む。

【0164】

[ステップ Step 3]

このステップ S 3 0 はステップ S t e p 3 の処理となり、このステップ S t e p 3 の処理によって図 1 5 (3) の状態となる。図 1 5 (3) では、書き換え論理アドレス A d d と同じアドレス R A M 1 7 のアドレス (アドレス管理エリア R A M [A d d]) に、新しい書き換えデータ D a t a 2 を書き込んだデータセクタの物理セクタアドレス E - A d d 1 が書き込まれている。

【 0 1 6 5 】

[ステップ S 3 1]

次に図 1 3 のステップ S 3 1 で、バッファデータエリア B U F [P] ~ B U F [P - 1 5] に書き込まれている物理セクタアドレスの 1 6 個のデータセクタと、バッファデータエリア B U F [P] のバッファセクタ (イレースバッファ 1 6 のポインタデータ P の上位 2 ビットが示す位置のバッファセクタ) の次の位置の 1 個のバッファセクタとの合計 1 7 セクタを同時に消去する。

【 0 1 6 6 】

[ステップ S t e p]

このステップ 3 1 はステップ S t e p 4 の処理となり、このステップ S t e p 4 の処理によって図 1 5 (4) の状態となる。図 1 5 (4) では、物理セクタアドレス E - A d d 1 8 , E - A d d 1 9 , … E - A d d 3 2 , P - A d d 1 の 1 6 個のデータセクタと、物理セクタアドレス P - A d d 1 が書き込まれたバッファセクタの次の位置の 1 個のバッファセクタとの合計 1 7 セクタが時分割で消去されている。

【 0 1 6 7 】

なお、この実施の形態 3 では、上記実施の形態 1 および 2 と同様に、フラッシュデータメモリ 1 1 のデコーダは複数のセクタを同時に選択できるようになっているので、同時に複数のデータセクタおよびバッファセクタを消去することができる。

【 0 1 6 8 】

この実施の形態 3 でも、消去時間は、上記実施の形態 1 および 2 と同様に、データ書き換え処理ごとの 1 6 回の時分割消去によってそれぞれのセクタを完全に消去するので、上記ステップ S 3 1 での消去時間は、従来の消去時間の 1 / 1 6

の時間とすることができる。例えば、セクタの完全な消去に 20 [ms] 必要な場合は、1.25 [ms] の消去時間となる。

【0169】

上記ステップ S31（上記ステップ Step 4）の処理の完了によって1回のデータ書き換え処理が完了したことになり、ソフト処理を除いた1回の書きデータ換え処理時間は、ステップ Step 1では340 [μ s]、ステップ Step 2では1 [ワード] の書き込み2回で40 [μ s]、ステップ Step 3ではRAMの書き込みなので数10～数100 [ns]、ステップ Step 4の消去では1.25 [ms] となるので、ステップ Step 3の書き込み時間を無視すると、 $0.34 + 0.04 + 1.25 = 1.63$ [ms] となる。

【0170】

この実施の形態3では、論理セクタよりも多いデータセクタを設け、データセクタを物理セクタアドレスで管理することによって、上記実施の形態1および2のようなバッファセクタに一時書き込みした書き換えデータをデータセクタに移す書き込みが不要になるので、1回のデータ書き換え処理にかかる時間を上記実施の形態1および2よりも短くすることができる。

【0171】

[リカバリ処理]

この実施の形態3では、書き込み不良が発生したときのリカバリ処理のために、16個のデータセクタが設けられている。図13のステップ S27で書き込み不良が発生したときのリカバリ処理について以下に説明する。

【0172】

[ステップ S32]

上記ステップ S27で書き込みNGであれば、図13のステップ S32で、そのデータセクタMEM [BUF [ERP] のbit 8-0] のメモリ管理エリア11aに、不良セクタフラグ="1" (bit 9、図11の11d参照) を書き込み、ステップ S34に進む。なお、上記ステップ S23でバッファデータエリアBUF [ERP] の書き込み完了フラグが"1"であったときにも、ステップ S34に進む。

【 0 1 7 3 】

[ステップ S 3 4]

図 1 3 のステップ S 3 4 では、変数 E R P に 1 を加算して更新し、ステップ S 3 5 に進む。ただし、ここでは 6 4 個のバッファデータエリアをサイクリックに使用するため、実際には、変数 E R P に 1 を加算し、その値を 6 4 で除算して、その剰余で変数 E R P を更新する。つまり、

$$(E R P + 1) \bmod 6 4$$

なる演算で求めた値で変数 E R P を更新する。

【 0 1 7 4 】

図 1 4 および図 1 5 の例では、

$$E R P = (E R P + 1) \bmod 6 4 = 1$$

であり、この更新された変数 E R P = 1 は、物理アドレス E - A d d 2 が書き込まれたバッファデータエリア（図 1 4（1）参照）の位置を示す。

【 0 1 7 5 】

この実施の形態 3 では、R A M 2（図 1 参照）内に変数 C H K を設けてあり、図 1 3 のステップ S 3 5 で、上記ステップ S 2 1 で更新したポインタデータ P から上記ステップ S 3 4 で更新した変数 E R P を減算した値を変数 C H K に書き込む。ただし、実際には、あらかじめポインタデータ P に 6 4 を加算し、その加算値から変数 E R P を減算し、その減算を 6 4 で除算して、その剰余を変数 C H K に書き込む。つまり、

$$(P + 6 4 - E R P) \bmod 6 4$$

なる演算で求めた値を変数 C H K に書き込む。

【 0 1 7 6 】

上記の変数 C H K は、上記ステップ S 3 4 ですでに変数 E R P に 1 が加算されているので、

$$1 5 \leq C H K \leq 3 1$$

を範囲とする変数であり、この変数 C H K から時分割消去のためのデータセクタの個数 1 6 を減算して 1 を加算した値 C H K - 1 5 は、リカバリ処理に使用可能なデータセクタ数を示す。

【 0 1 7 7 】

[ステップ S 3 6, S 3 7]

次にステップ S 3 6 で、変数 C H K が 1 6 以上か否かを判別し、 $C H K \geq 1 6$ ならば、ステップ S 2 3 に戻って再度ステップ S t e p 1 の処理にトライし、 $C H K < 1 6$ ならば、図 1 3 のステップ S 3 7 で、異常終了処理をして、データ書き換え処理を終了する。

【 0 1 7 8 】

図 1 4 および図 1 5 の例では、すでに消去を完了している物理セクタアドレス E - A d d 2, ..., E - A d d 1 7 の 1 6 個のデータセクタがリカバリ処理に使用可能であり、物理セクタアドレス E - A d d 1 のデータセクタの書き込みが N G であれば、再度のステップ S t e p 1 の処理で、物理セクタアドレス E - A d d 2 のデータセクタに書き込みをする。

【 0 1 7 9 】

上記ステップ S 3 4 から S 3 7 までは、主に書き込みエラーが発生したときに、不良データセクタを使用しないようにするとともに、その不良データセクタを他のデータセクタでリカバリする処理であり、この実施の形態 3 では 1 6 個の不良データセクタが発生するまで、リカバリ可能である。なお、不良データセクタの物理セクタアドレスは、書き込みエラーの発生以降は、イレースバッファ 1 6 およびアドレス R A M 1 7 に書き込まれることはないので、書き込みエラーの発生以降は、不良データセクタが使用されることはない。

【 0 1 8 0 】

[データ読み出し動作]

実施の形態 3 のデータ読み出し動作について以下に説明する。まず、1 3 [ビット] の読み出し論理アドレスの上位 8 ビットである読み出し論理セクタアドレスでアドレス R A M 1 7 をアクセスし、そのアドレス管理エリアに書き込まれている 9 [ビット] の物理セクタアドレスを読み出して、アドレスラッチ 1 3 に書き込む。そして、このアドレスラッチ 1 3 に書き込んだ物理アドレスセクタと、読み出し論理アドレスの下位 4 ビットとによって、フラッシュデータメモリ 1 1 からデータを読み出すことにより、データ読み出し処理が完了する。

【 0 1 8 1 】

〔初期設定処理〕

この実施の形態 3 でも、上記実施の形態 1 と同様に、電源投入時にはアドレスポインタ 1 4 およびアドレス RAM 1 7 の初期設定処理が必要である。この実施の形態 3 の初期設定処理について以下に説明する。

【 0 1 8 2 】

まず、フラッシュデータメモリ 1 1 のメモリ管理エリア 1 1 a のデータを順次読み出し、有効セクタフラグ (b i t 8、図 1 1 の 1 1 c 参照) が " 1 " であり、かつ不良セクタフラグ (b i t 9、図 1 1 の 1 1 d 参照) が " 0 " であるデータセクタについては、そのメモリ管理エリア 1 1 a に書き込まれている論理セクタアドレス (b i t 7 - b i t 0、図 1 1 の 1 1 a 参照) と同じアドレスのアドレス RAM 1 7 のアドレス管理エリアに、そのデータセクタの物理セクタアドレスを書き込む。

【 0 1 8 3 】

また、イレースバッファ 1 6 のバッファ管理エリア 1 6 d のデータを順にチェックして、前回のデータ書き換え処理で書き込んだバッファデータエリアを判別し、アドレスポインタ 1 4 にセットする。前回書き込んだバッファデータエリアは、バッファ管理エリア 1 6 d のビットを下位から順にチェックするによって、簡単に判別できる。以上で、アドレス RAM 1 7 およびアドレスポインタ 1 4 の初期設定が完了する。

【 0 1 8 4 】

このような初期設定処理は、上記実施の形態 1 と同様に、C - ROM 3 a 内にサブルーチンとして用意しておけば、A P - ROM 3 b 内のアプリケーションプログラムから C - ROM 3 a 内の初期設定サブルーチン (初期設定制御プログラム) をコールし、制御部 4 がその初期設定サブルーチンに従って制御する。

【 0 1 8 5 】

以上のように実施の形態 3 によれば、書き換えデータをその論理セクタアドレスが割り当てられていた第 1 のデータセクタとは異なる第 2 のデータセクタに書き込んで、上記の論理セクタアドレスの割り当てデータセクタを第 1 のデータセ

クタから第2のデータセクタに変更し、上記第1のデータセクタを、完全な消去にかかる時間ずつ消去処理によって、16回のデータ書き換え処理で時分割で消去することにより、1回のデータ書き換え処理にかかる時間を短くできる。

【0186】

さらに、データ容量よりも多く設けたデータセクタの物理セクタアドレスと書き換えデータの論理セクタアドレスの関連をアドレスRAM17で管理することにより、書き換えデータを一時書き込みしたバッファセクタからデータセクタに移す処理が不要になるので、上記実施の形態1および2よりもさらに見かけの書き換え処理時間を短縮できる。

【0187】

また、データ容量よりも多く設けたデータセクタの物理セクタアドレスと書き換えデータの論理セクタアドレスの関連をアドレスRAM17で管理することにより、見かけの書き換えセクタアドレス（論理セクタアドレス）は同じでも、異なるデータセクタに書き換えデータを順次書き込んでいくので、フラッシュメモリの信頼性を向上させる効果が得られる。

【0188】

また、リカバリ処理のためのデータセクタを設け、不良セクタが発生した場合のリカバリ処理を可能にしたことによっても、フラッシュメモリの信頼性を向上させる効果が得られる。

【0189】

また、アドレスRAM17およびアドレスラッチ13によって、読み出し論理セクタアドレスを物理セクタアドレスに変換してデータ読み出しをすることにより、論理セクタと物理セクタの位置の違いをアプリケーションプログラムで意識する必要がなく、データ読み出し処理時間を短くできる。

【0190】

また、上記実施の形態1および2と同様に、目標の書き換え処理時間になるように時分割して消去するので、長時間の消去処理のためのバックアップ電源が必要ない。

【0191】

なお、上記実施の形態 1 および 2 において、アドレスの重複を判別しないようにすることも可能である。

【 0 1 9 2 】

また、上記実施の形態 3 において、リカバリ処理をしないことも可能である。この場合には、フラッシュデータメモリ 1 1 のデータセクタ数を 1 6 個減らすことができ、イレースバッファ 1 6 のバッファセクタ数を 1 個減らすことができる。

【 0 1 9 3 】

また、上記実施の形態 3 では、フラッシュデータメモリ 1 1 とイレースバッファ 1 6 を別々のフラッシュメモリとして説明したが、1 つのフラッシュメモリにまとめることも可能である。

【 0 1 9 4 】

また、上記実施の形態 3 では、フラッシュデータメモリ 1 1 をデータセクタ数がデータ容量よりも 3 2 個多い構成にしたが、さらにデータセクタ数を増やすことも可能である。データセクタ数を多くすれば、1 つのデータセクタの実際の書き換え回数が減らせるので信頼性が向上するとともに、リカバリ処理に使用可能なデータセクタを増やすことができる。

【 0 1 9 5 】

また、上記実施の形態 3 では、イレースバッファ 1 6 をバッファセクタ数が 4 個の構成としたが、さらにバッファセクタ数を増やすことも可能である。

【 0 1 9 6 】

また、上記実施の形態 3 では、データ書き込み処理ごとに、アドレスポインタ 1 4 とバッファ管理エリア 1 6 a の書き込み完了フラグから変数 E R P を求めているが、電源投入時に変数 E R P を求めておき、そのあとのデータ書き換え処理ごとに変数 E R P を更新することも可能である。

【 0 1 9 7 】

また、上記実施の形態 1 から 3 において、アドレスポインタ 1 4 を R A M 2 内に設けることも可能である。

【 0 1 9 8 】

また、上記実施の形態 1 から 3 では、1 / 1 6 に時分割して消去処理をする例を説明したが、時分割数は 2 以上の任意の数に設定可能である。時分割数を増やせば、さらに見かけ上の書き換え時間を短くできる。

【 0 1 9 9 】

また、上記実施の形態 1 から 3 では、フラッシュメモリの書き込み状態を” 1 ”、消去状態を” 0 ”として説明したが、逆にすることも可能である。

【 0 2 0 0 】

【発明の効果】

以上説明したように本発明によれば、データ書き換え処理ごとの N 回の時分割消去によってそれぞれのセクタを完全に消去するので、1 回のデータ書き換え処理時間を短くできるという効果がある。

【図面の簡単な説明】

【図 1】 本発明の実施の形態 1 のマイクロコンピュータの機能ブロック図である。

【図 2】 図 1 のフラッシュメモリ部の機能ブロック図である。

【図 3】 図 2 のフラッシュバッファにおける管理エリアのビット構成図である。

【図 4】 図 2 の読み出し用データ差し替え回路の構成例を示す図である。

【図 5】 本発明の実施の形態 1 のマイクロコンピュータにおける書き換え処理を説明する図である（その 1）。

【図 6】 本発明の実施の形態 1 のマイクロコンピュータにおける書き換え処理を説明する図である（その 2）。

【図 7】 本発明の実施の形態 1 のマイクロコンピュータにおける書き換え処理を説明する図である（その 3）。

【図 8】 本発明の実施の形態 1 のマイクロコンピュータにおける書き換え処理を示すフローチャートである。

【図 9】 本発明の実施の形態 2 のマイクロコンピュータにおける書き換え処理を示すフローチャートである。

【図 1 0】 本発明の実施の形態 3 のマイクロコンピュータにおけるフラ

ッシュメモリ部の機能ブロック図である。

【図 1 1】 図 1 0 においてのメモリ管理エリアのビット構成図である。

【図 1 2】 図 1 0 においてのバッファデータエリアのビット構成図である。

【図 1 3】 本発明の実施の形態 3 のマイクロコンピュータにおいての書き換え処理を示すフローチャートである。

【図 1 4】 本発明の実施の形態 3 のマイクロコンピュータにおいての書き換え処理の各ステップでの状態を示す図である（その 1）。

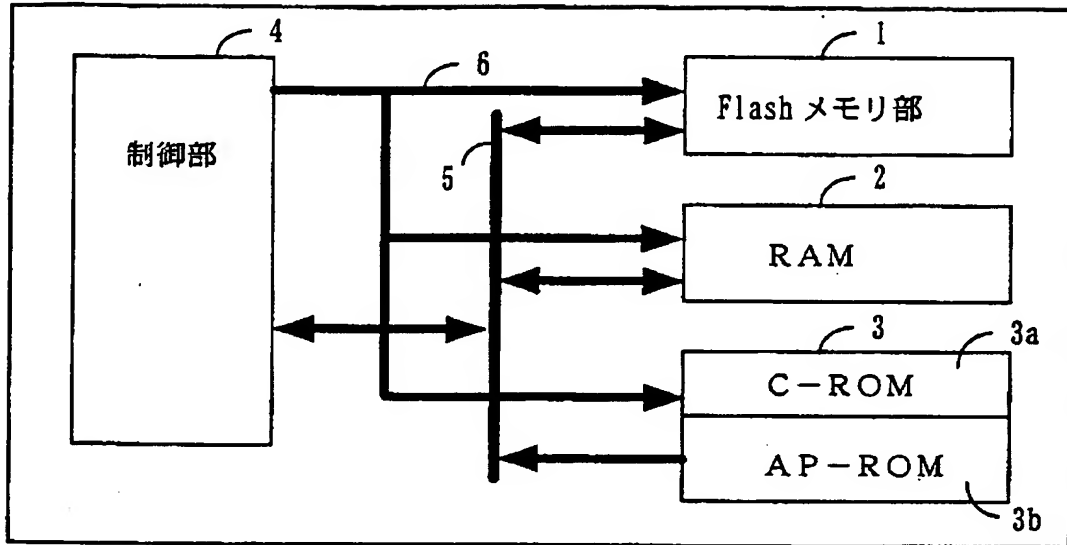
【図 1 5】 本発明の実施の形態 3 のマイクロコンピュータにおいての書き換え処理の各ステップでの状態を示す図である（その 2）。

【符号の説明】

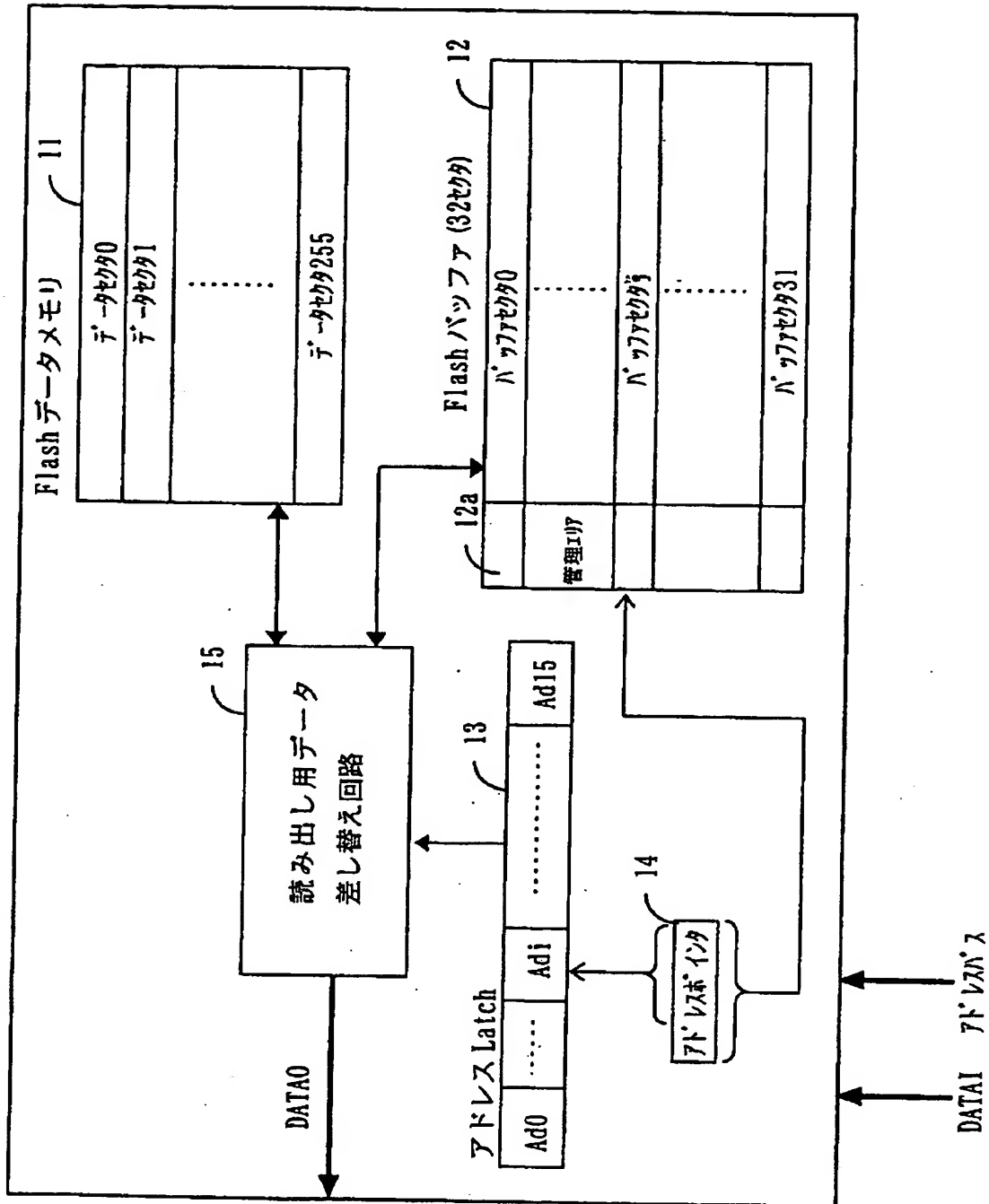
1 フラッシュメモリ部、 2 RAM、 3 ROM、 3 a C-ROM、 3 b AP-ROM、 4 制御部、 5 データバス、 6 アドレスバス、 1 1 フラッシュデータメモリ、 1 1 a メモリ管理エリア、 1 1 b 論理セクタアドレスエリア、 1 1 c 有効フラグエリア、 1 1 d 不良フラグエリア、 1 2 フラッシュバッファ、 1 2 a 管理エリア、 1 2 b セクタアドレスエリア、 1 2 c 有効フラグエリア、 1 2 d 重複フラグエリア、 1 2 e セクタポインタエリア、 1 3 アドレスラッチ、 1 4 アドレスポインタ、 1 5 読み出し用データ差し替え回路、 1 6 イレースバッファ、 1 6 a バッファデータ、 1 6 b 物理セクタアドレスエリア、 1 6 c 書き込み完了フラグエリア、 1 6 d バッファ管理エリア、 1 7 アドレス RAM。

【書類名】 図面

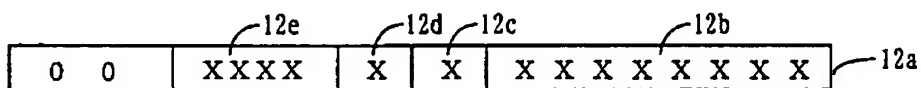
【図 1】



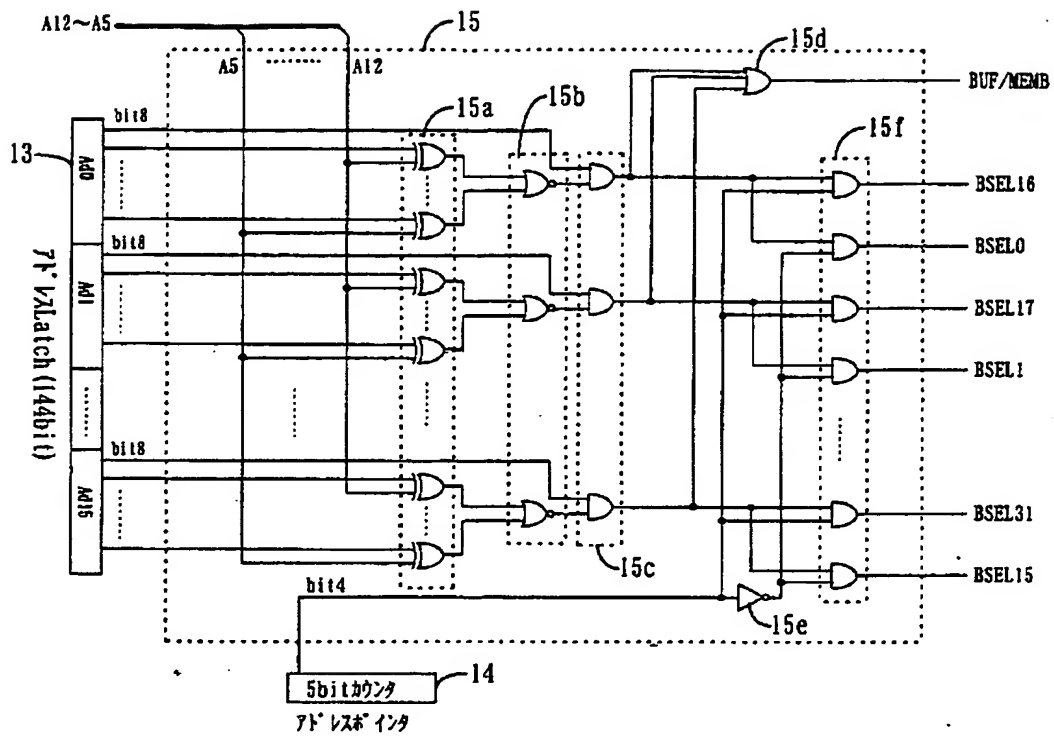
【図 2】



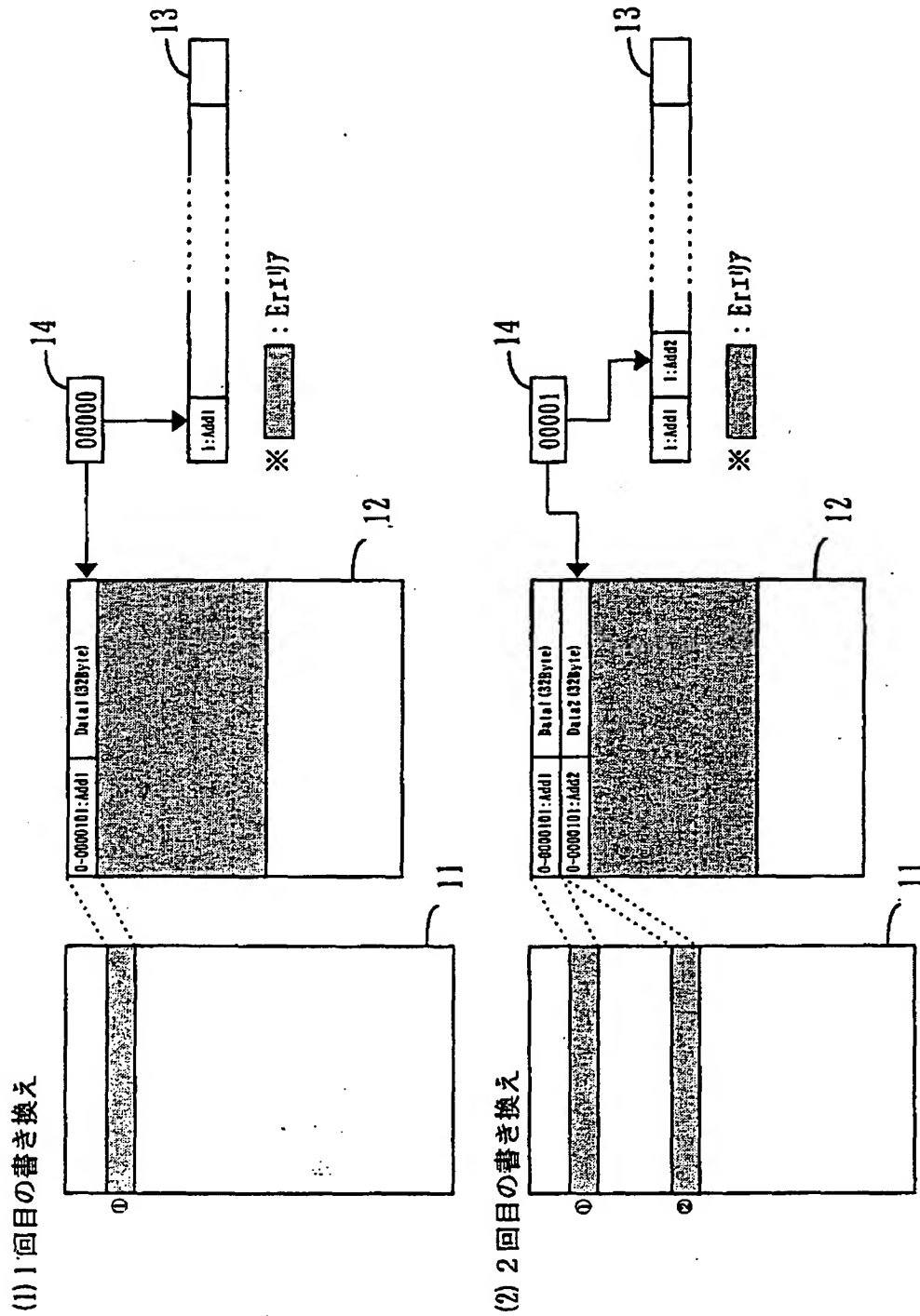
【図 3】



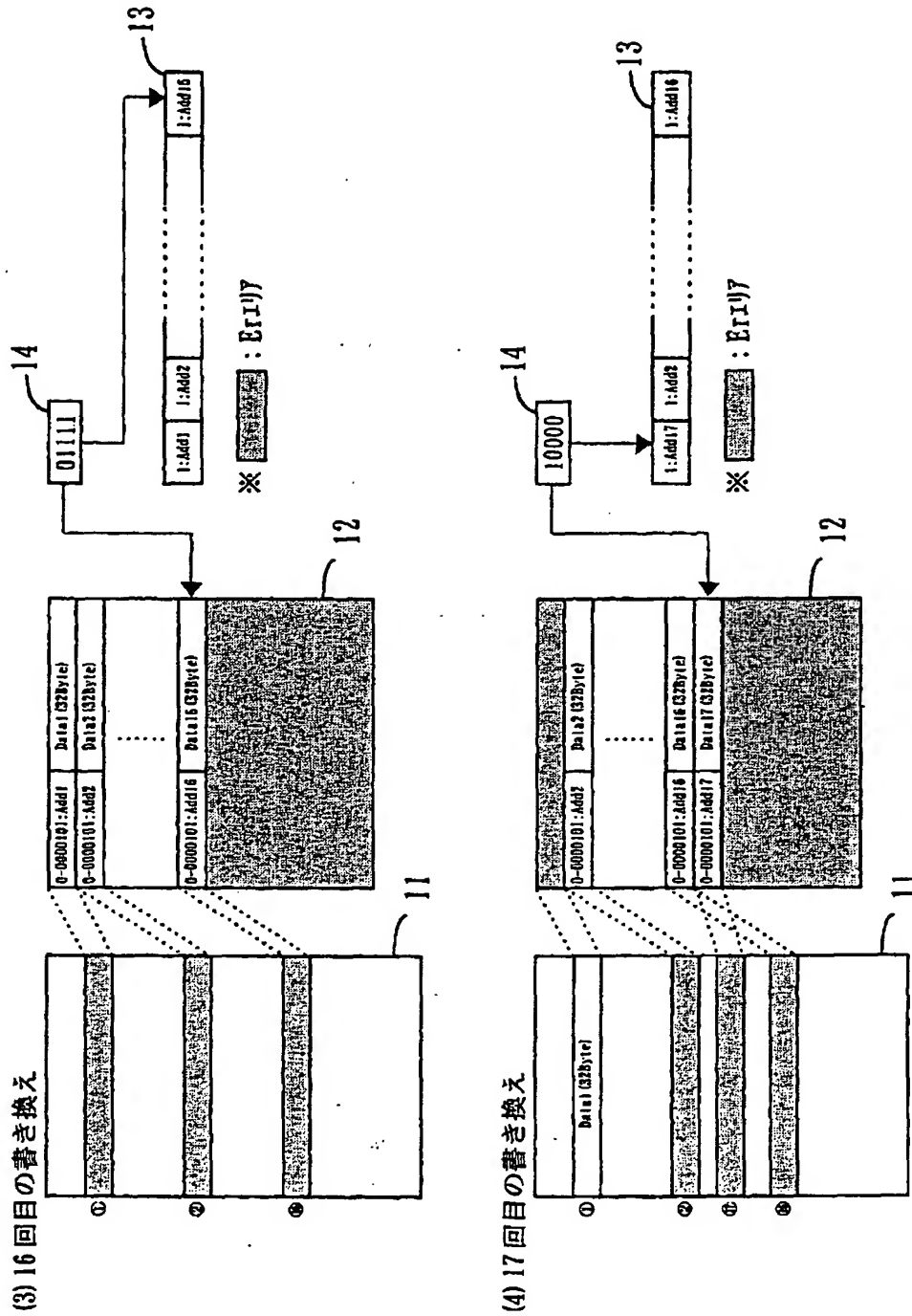
【図 4】



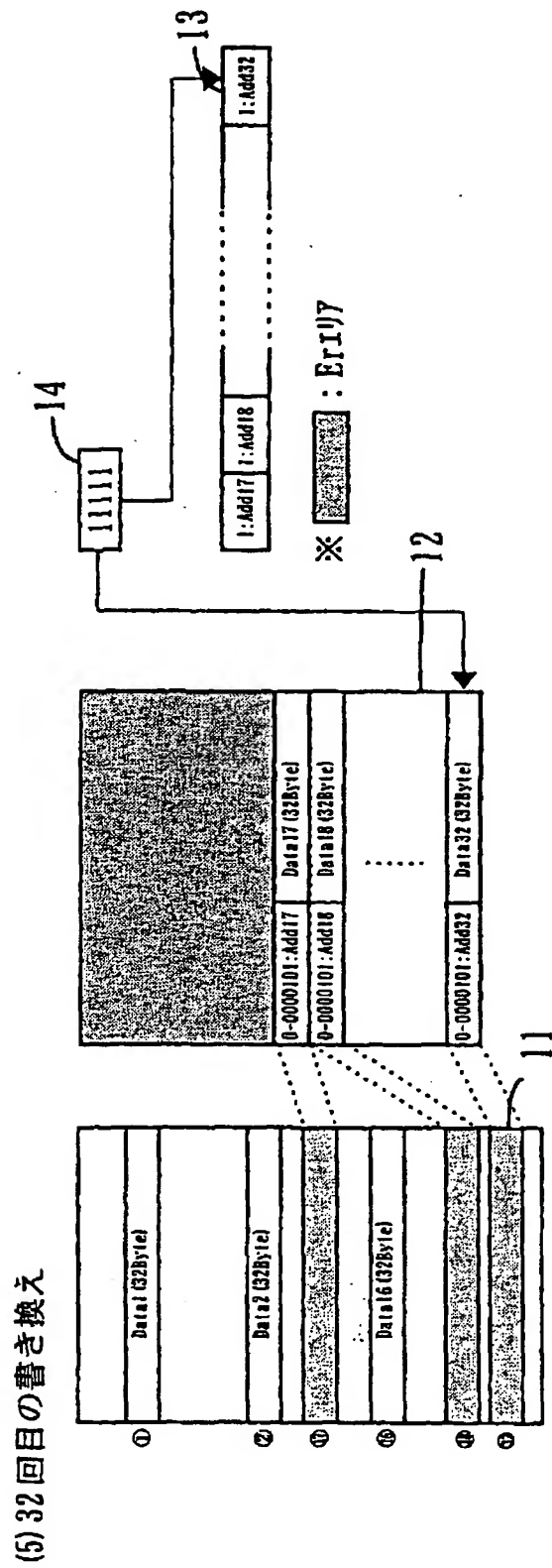
【図 5】



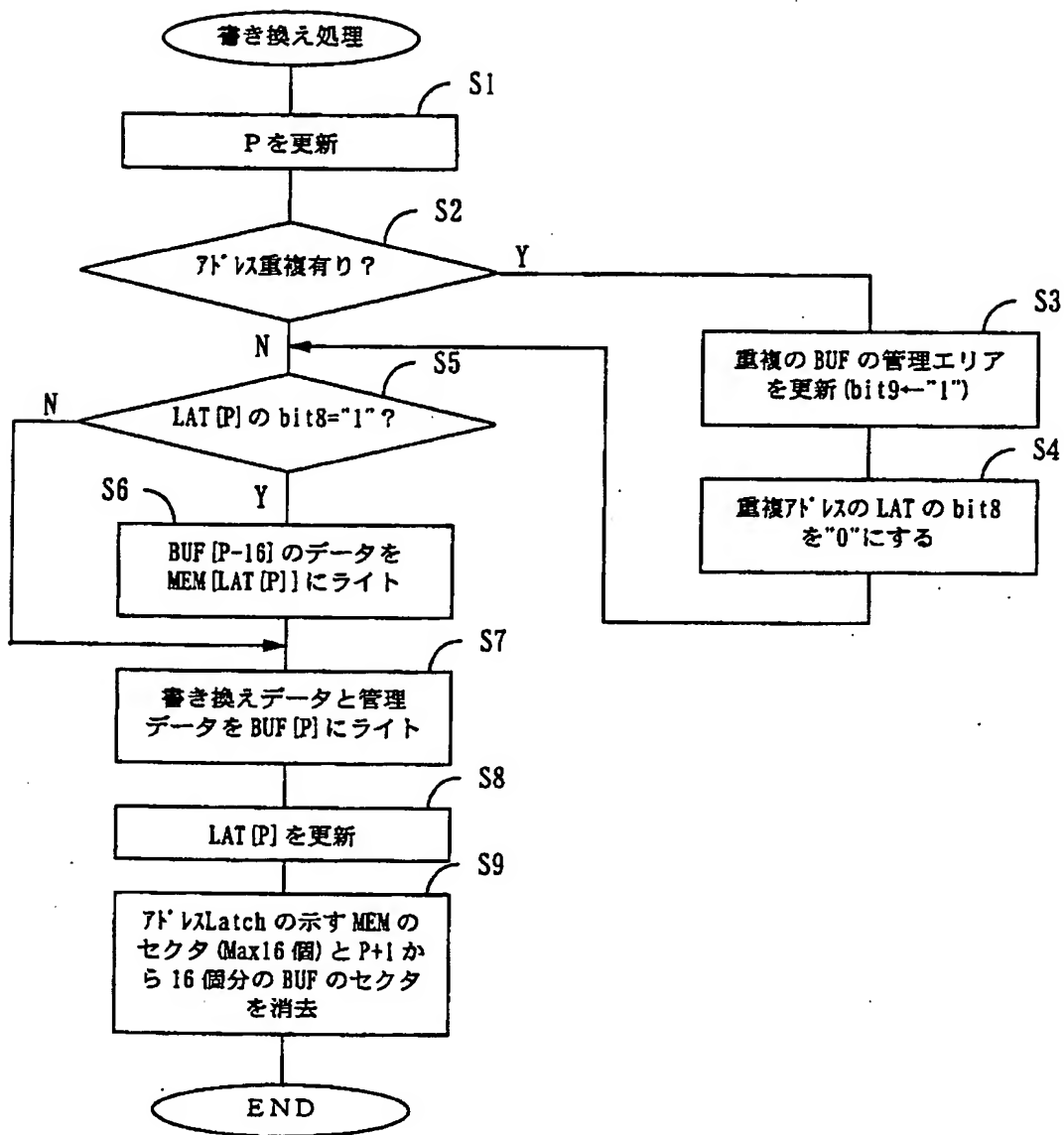
【図 6】



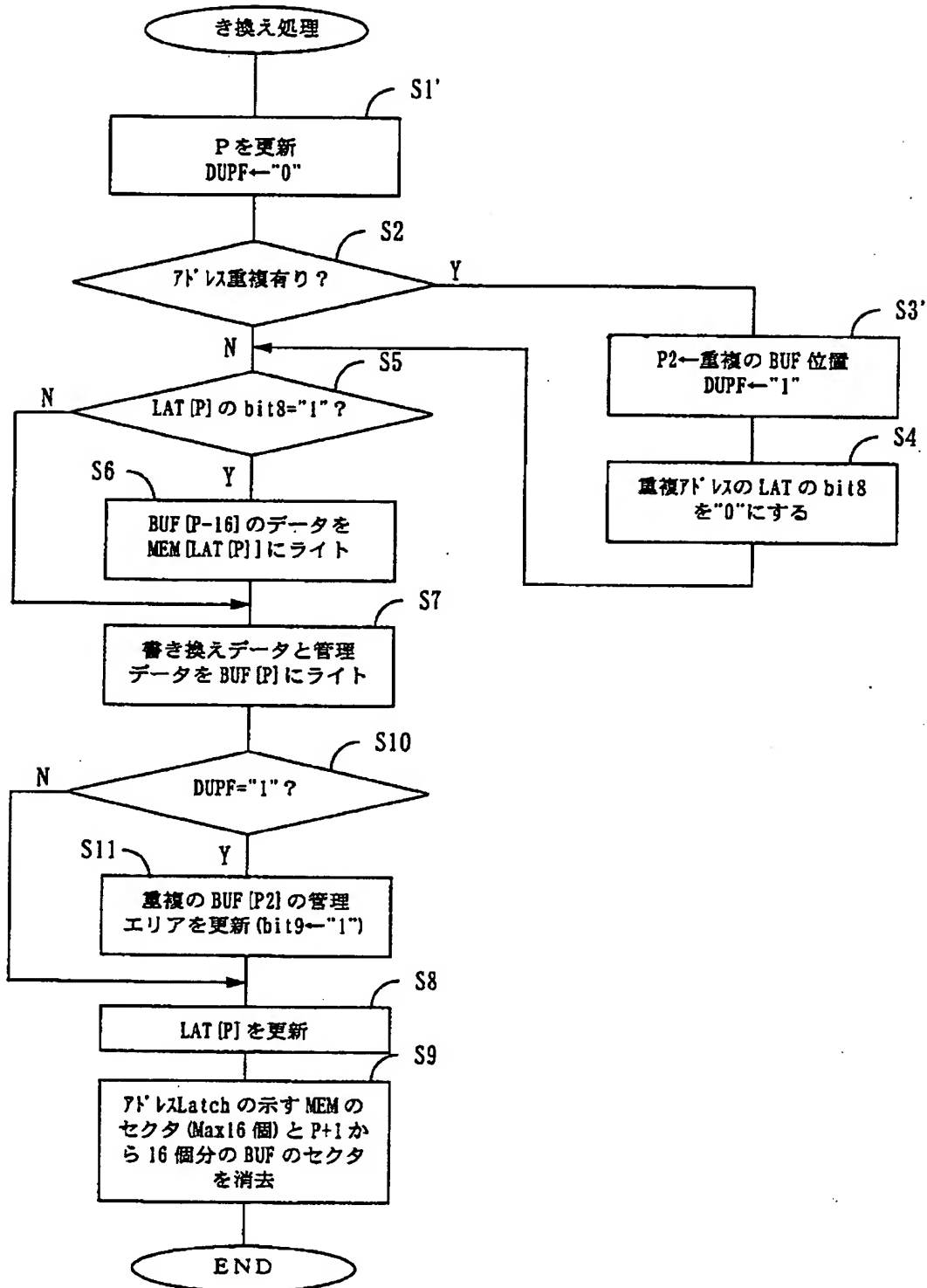
【図 7】



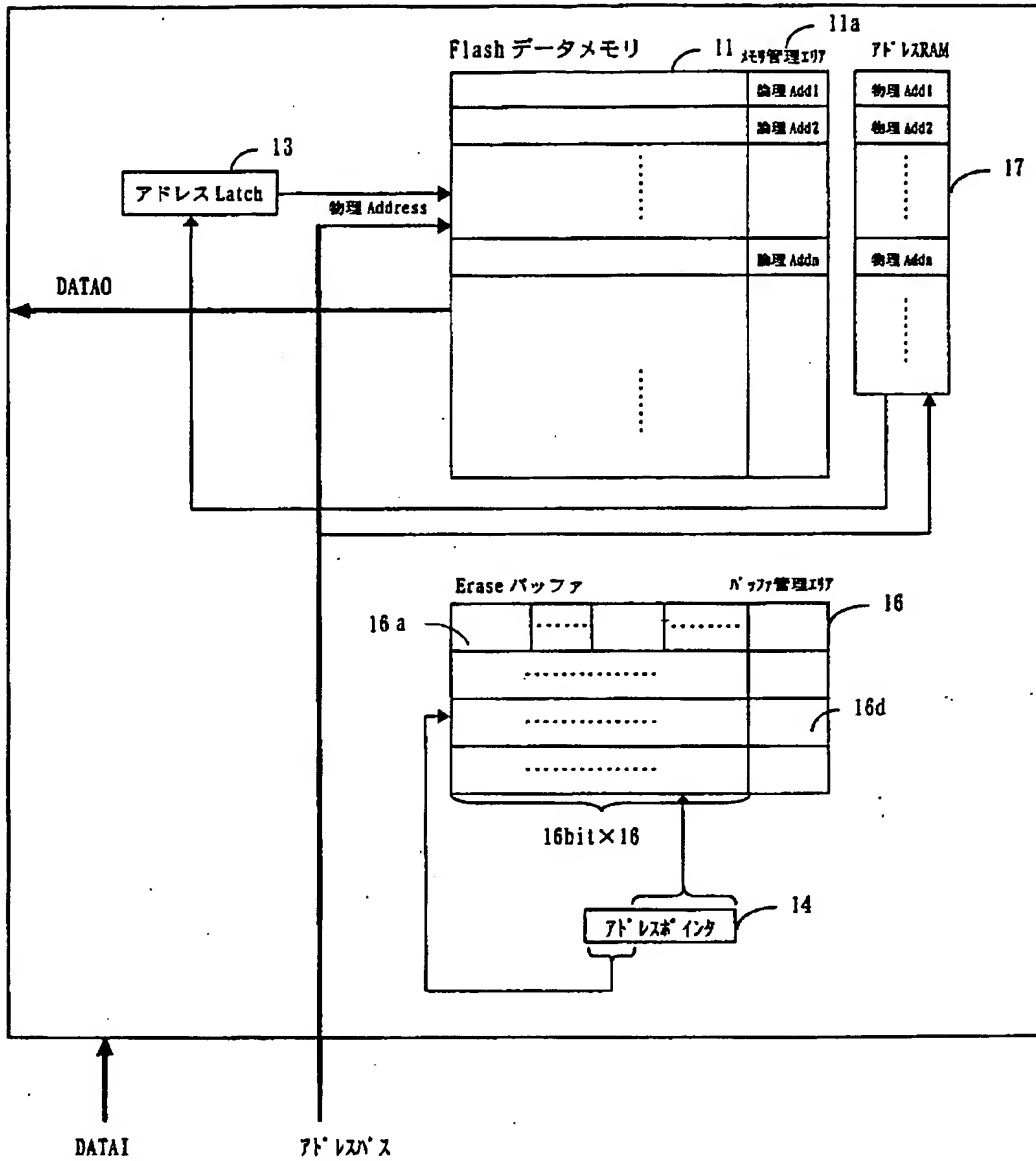
【図 8】



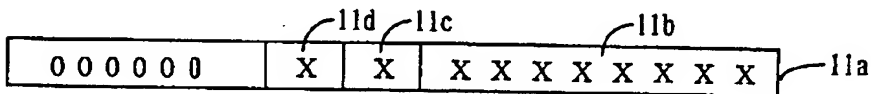
【図 9】



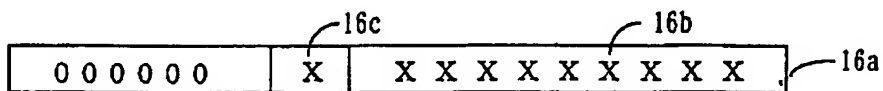
【図 10】



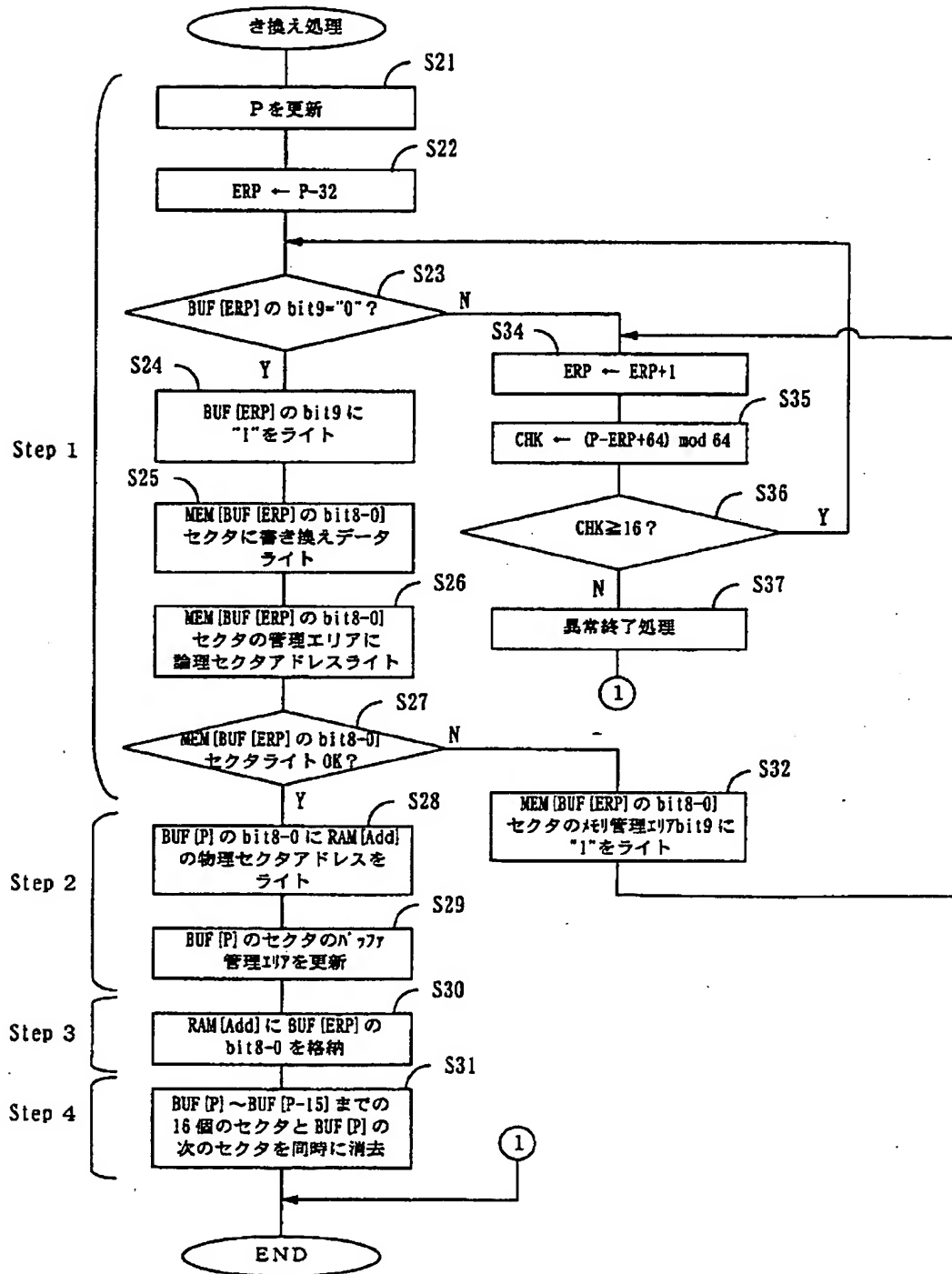
【図 11】



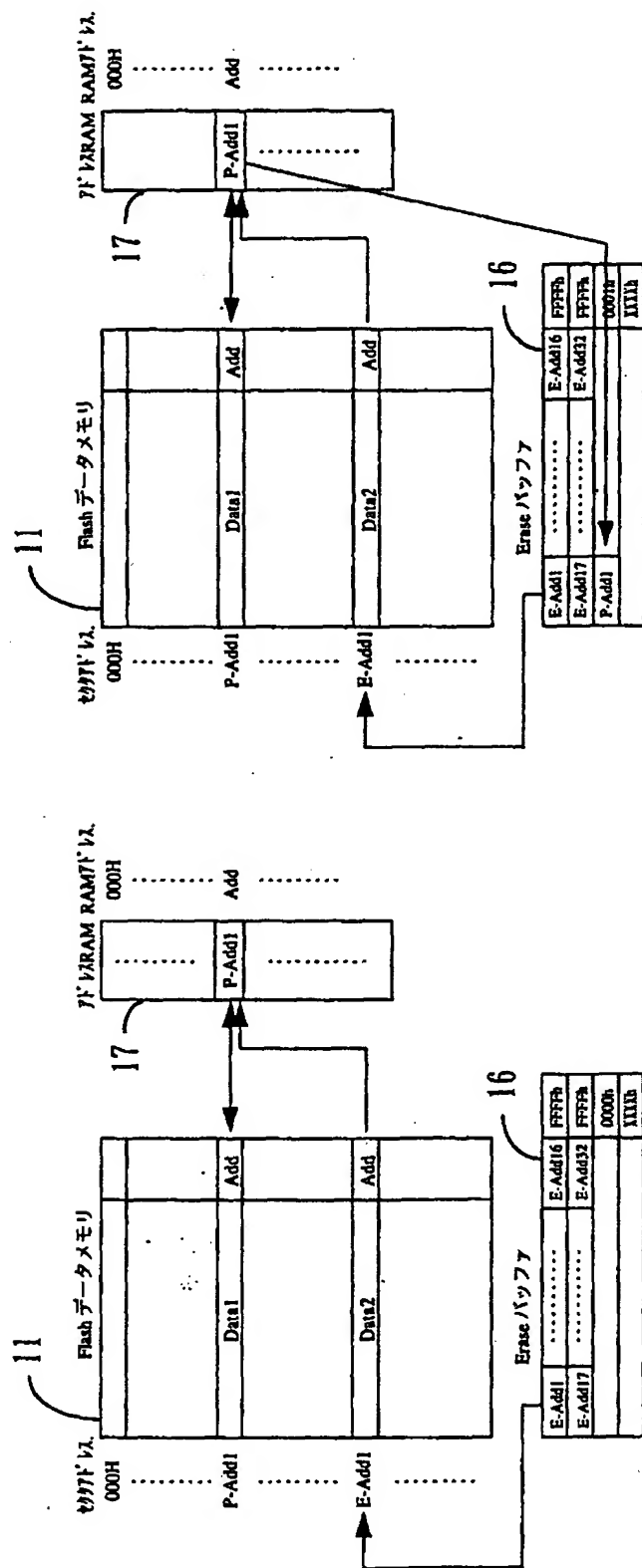
【図 12】



【図 13】



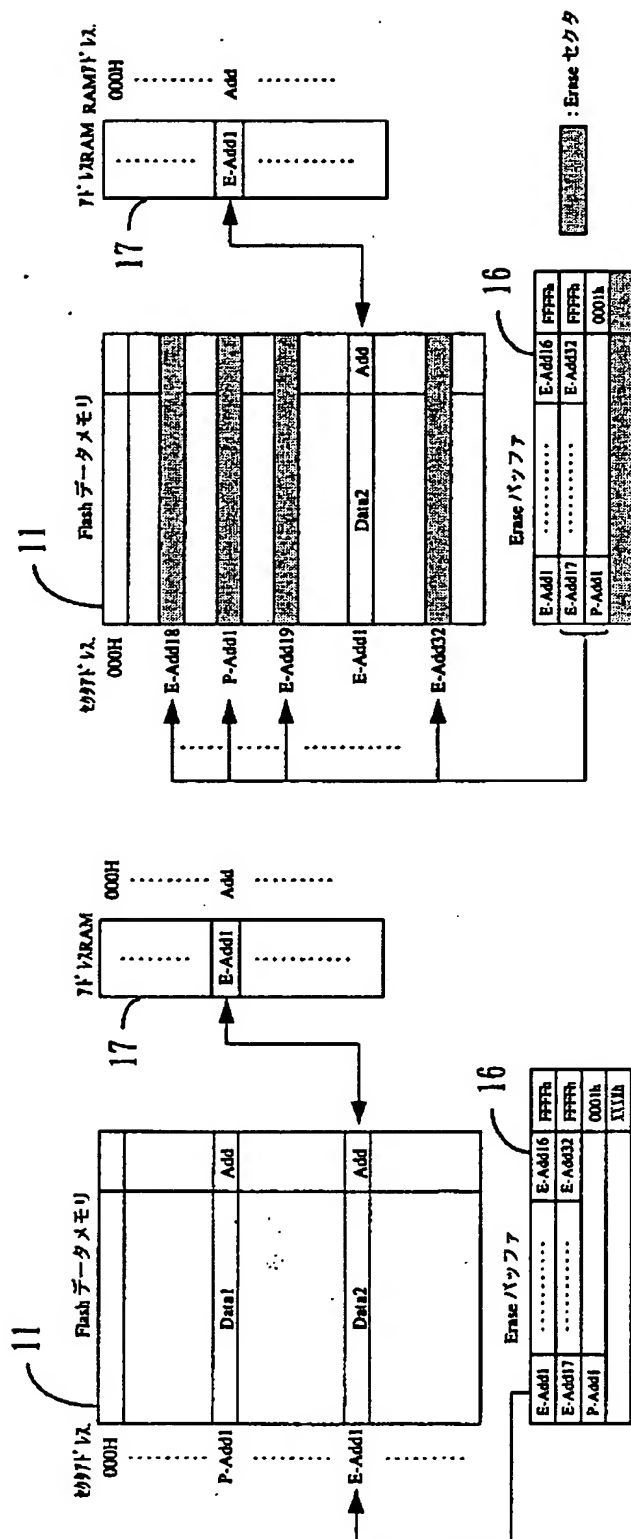
【図 14】



(2) Step 2 の処理状態

(1) Step 1 の処理状態

【図 15】



(4) Step 4 の処理状態

(3) Step 3 の処理状態

【書類名】 要約書

【要約】

【課題】 高速なデータ書き換えができるようにする。

【解決手段】 第 n 回目のデータ書き換え処理において、第 n 回目の書き換えデータをフラッシュバッファ 1 2 のバッファセクタに書き込み、セクタを完全に消去するのにかかる時間よりも短い時間でデータ書き換え処理ごとに消去処理をすることによって、第 n 回目から第 $(n + 15)$ 回目までのデータ書き換え処理において、上記第 n 回目の書き換えデータを書き込むべきフラッシュデータメモリ 1 1 のデータセクタを時分割で消去し、第 $(n + 16)$ 回目のデータ書き換え処理において、上記バッファセクタに書き込まれている上記第 n 回目の書き換えデータを、上記時分割で消去したデータセクタに書き込む。

【選択図】 図 2

出 願 人 履 歴 情 報

識別番号 [000000295]

1. 変更年月日 1990年 8月22日
[変更理由] 新規登録
住 所 東京都港区虎ノ門1丁目7番12号
氏 名 沖電気工業株式会社